MO5

MANUEL TECHNIQUE DU MO5

Michel Oury

TO TEK International
cedic
nathan

Le manuel technique du MO5

Michel Oury

TO TEK International
cedic nathan

Dans la même collection

Initiation au Basic TO7/TO7-70 — Christine et François-Marie Blondel
Le Basic DOS du TO7/TO7-70 et du MO5 — Christine et François-Marie Blondel
Un ordinateur à la maison — Jean Delcourt
Un ordinateur en fête — Serge Pouts-Lajus
Un ordinateur et des jeux — Jean-Pascal Duclos
Guide pratique de l'ordinateur personnel d'IBM — Boisgontier/Dalloz/Emery/Portefaix/Salzman
LOGO, des ailes pour l'esprit — Horacio C. Reggini
Premiers pas avec le ZX-SPECTRUM — Ian Stewart/Robin Jones
Le langage machine du ZX-SPECTRUM — Ian Stewart/Robin Jones
Plus loin avec le ZX-SPECTRUM — Ian Stewart/Robin Jones
Jeux vidéo, jeux de demain — Georges-Marie Becherraz/Alain Graber
Guide pratique de l'Oric-Atmos — Michel Bussac/Robert Lagoutte
Des programmes pour votre ORIC — Michel Piot
Premiers pas avec le Commodore 64 — Ian Stewart/Robin Jones
Initiation à LOGO — Doris Avram/Michèle Weidenfeld/l'équipe de S.O.L.I.
LOGO, manuel de référence — D. Avram/T. Savatier/M. Weidenfeld/S.O.L.I.
Le guide du MO5 — André Deledicq
Manuel technique du TO7/TO7-70 — Michel Oury
Faites vos jeux en assembleur sur TO7/TO7-70 — Michel Oury
Manuel de l'assembleur 6809 du TO7/TO7-70 — Michel Weissgerber
Initiation au FORTH — S.E.F.I.
Guide pratique du vidéotex et du minitel — Sabouréau/Bouché
Guide pratique de l'enseignement assisté par ordinateur — Jean-Michel Lefèvre
La face cachée du TO7/TO7-70 — Jean-Baptiste Touchard
Manuel technique du MO5 — Michel Oury
Musique sur Commodore 64 — James Vogel/Nevin B. Scrimshaw

Ce volume porte la référence
ISBN 2-7124-0552-8

Toute reproduction, même partielle, de cet ouvrage est interdite. Une copie ou reproduction par quelque procédé que ce soit, photographie, photocopie, microfilm, bande magnétique, disque ou autre, constitue une contrefaçon passible des peines prévues par la loi du 11 mars 1957 sur la protection des droits d'auteur.
© CEDIC 1985
CEDIC, 32, boulevard Saint-Germain, 75005 - PARIS

Introduction

Le but de ce petit manuel est de fournir au maximum les renseignements techniques concernant le fonctionnement du MO5 et de ses périphériques.
On trouvera dans le premier chapitre une analyse complète des principaux circuits intervenant dans la réalisation du MO5. Certains circuits vous sont peut-être connus telle la bascule 74LS74, d'autres probablement pas, comme le nouveau circuit "Gate-Array" qui est l'abréviation sur une même puce de nombreuses fonctions logiques.
Dans les chapitres suivants, l'analyse détaillée du fonctionnement de ce micro est faite. Elle vous permettra de rentrer au cœur du MO5. Outre l'intérêt général que présente la compréhension de ce fonctionnement, vous pourrez éventuellement en déduire de nouvelles utilisations de votre micro-ordinateur.
C'est pourquoi vous trouverez l'analyse du fonctionnement des divers périphériques, l'étude du moniteur ainsi que des exemples d'applications.
Ce manuel vous permettra d'effectuer de nombreuses et astucieuses réalisations. De toutes façons il restera une excellente initiation à la micro-électronique.

Sommaire

Introduction

Objectifs de l'ouvrage 1

I. Le fonctionnement de la carte principale

Conception générale 5
Analyse de la gestion d'écran 8
Les signaux de commande 22
Le fonctionnement du crayon optique 27
Le fonctionnement du clavier 30
Les circuits de décodage d'adresse 33
L'alimentation 34

II. Les entrées/sorties

Le bus d'extention 37
Liaison avec le lecteur-enregistreur de programmes 39
Liaison avec l'écran 41
Liaison avec l'imprimante 47
L'extention jeux et musique 48

III. Le moniteur

La carte mémoire 59
La page zéro 60
Les sous-programmes 62

IV. Quelques applications

Les bruitages 70

Annexe

Les circuits

Les circuits logiques :
— 74LS74 77
— 74LS126 79
— 74LS151 80
— 74LS156 81
— 74LS157 83
— 74LS165 84
— 74LS173 87
— 74LS221 89
— 74LS245 90
La mémoire vive TMS 4416 91
La mémoire reprogrammable 27128 97
La mémoire morte HM 76Ø3 99
Le microprocesseur 68Ø9E 101
Le PIA 6821 106
Le "Gate-Array" MCA 13ØØ ALS 112

Liste des figures 117

Chapitre I.

Le fontionnement de la carte principale

Conception générale

Le micro-ordinateur MO 5 est conçu autour d'un microprocesseur 68Ø9E (voir caractéristiques en annexe), 8 bits, recevant deux signaux d'horloge en quadrature E et Q.

Le moniteur du système et le BASIC Microsoft sont implantés dans une mémoire morte reprogrammable de 16 Koctets, une 27128 (voir caractéristiques en annexe), dans laquelle ils occupent respectivement 4 et 12 Koctets. A terme, cette mémoire sera remplacée par une ROM non reprogrammable.

La mémoire vive est constituée de six boîtiers de RAM dynamique 4416 (voir caractéristiques en annexe), ce qui porte sa capacité à 3 × 16 = 48 Koctets. Cette mémoire sera rafraîchie pendant le cycle non actif du microprocesseur (E = Ø).

32 Koctets de cette mémoire sont réservés à l'utilisateur pour y implanter des programmes. En fait, un programme n'occupera pas vraiment toute cette capacité puisqu'il faut réserver 256 octets à la page zéro du moniteur, plus 256 octets à la page zéro du BASIC ainsi qu'une zone de taille indéterminée pour ranger les variables du programme. Ces 32 Koctets sont répartis de la façon suivante :

- 16 koctets occupent complètement deux boîtiers de RAM 4416 auxquels on accédera à l'aide des signaux $\overline{NRAS}$ et $\overline{CASEXT}$, le multiplexage des adresses étant géré par le gate-array.
- Les 16 koctets restants occupent les moitiés d'adresses hautes de quatre boîtiers de RAM 4416 auxquels on accède à l'aide des signaux $\overline{NRAS}$, $\overline{CASPT}$ et $\overline{CASCOL}$, le multiplexage étant géré par le gate-array.

Pour l'utilisateur, la gestion d'accès à ces blocs physiques de mémoire est transparente car gérée entièrement par gate-array et tout se passe en fait comme si les 32 koctets de RAM utilisateur étaient continus. C'est pourquoi par la suite on parlera plutôt de blocs logiques de mémoire sans s'occuper de leur organisation physique.

L'écran étant composé de 32Ø × 2ØØ = 64 ØØØ points, la mémoire d'écran nécessite 8 ØØØ octets qui occuperont les moitiés basses de deux boîtiers de RAM 4416. On remarquera qu'en fait 1/2 RAM correspond à 8 192 octets, donc que 192 octets restent libres derrière la mémoire d'écran. Les seize couleurs du MO5 sont obtenues par combinaison des trois couleurs de base rouge, vert, bleu et d'un bit supplémentaire permettant la sélection teinte saturée/pastel.

Dans un octet de mémoire d'écran, chaque point pourra avoir soit la couleur du *fond*, soit la couleur de la *forme*. Pour coder ces couleurs possibles il faudra donc 2 × 4 bits, c'est-à-dire un octet. Et puisqu'il y a 8 ØØØ octets écran, il faudra donc une RAM de 8 ØØØ × 8 bits, soit encore 8 koctets. Cette mémoire couleur occupera les moitiés basses des deux boîtiers de RAM 4416.

La RAM écran, dite aussi RAM point, et la RAM couleur sont accessibles aux mêmes adresses multiplexées, gérées par le gate-array. La selection de l'une ou de l'autre se fera grâce aux signaux d'accès colonne $\overline{CASPT}$ et $\overline{CASCOL}$ gérés également par le gate-array en fonction des états des entrées $\overline{CSPT}$, $\overline{CSCOL}$, $\overline{CSEXT}$ et $\overline{FORME}$.

Par ailleurs, des mémoires mortes peuvent être introduites sous forme de cartouche dans la trappe supérieure du MO 5, venant alors se mettre en parallèle sur le BASIC après l'avoir invalidé.

Les fonctions principales du PIA système sont la gestion du clavier, la gestion du LEP (lecteur-enregistreur de programme) et le codage de la couleur du cadre.

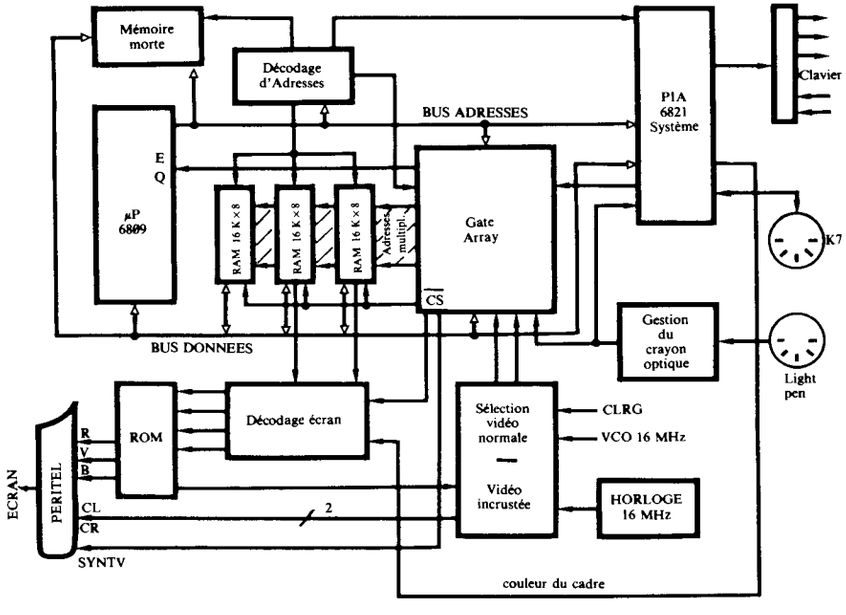


Figure 1
Schéma fonctionnel du MO5

Analyse de la gestion d'écran

L'écran utilisé pour la visualisation est un téléviseur standard de 625 lignes, soit 312 lignes en mode non interligné. Le balayage complet d'une trame sera décrit en 2Ø ms environ et chaque ligne ne devra donc durer que 2Ø/312 = Ø,Ø64 ms.

Dans cette durée de ligne de 64 µs se trouvent :

- la durée de traversée de l'écran = 54 µs,
- la durée du retour à la ligne suivante = 1Ø µs.

L'écran va comporter deux zones principales :

- le cadre, appelé aussi le TOUR, dans lequel on ne peut pas écrire, mais dont on peut définir la couleur,
- la fenêtre de travail, qui comme son nom l'indique est la zone réelle de l'affichage vidéo.

Une ligne visible (54 µs) sera supposée démarrer le long du bord gauche de la fenêtre de travail. Pendant 4Ø µs, le faisceau balaiera la partie fenêtre de la ligne. Pendant 7 µs, il balaiera la partie droite du cadre de l'écran. Pendant 1Ø µs environ, il reviendra à la ligne suivante, et pendant les 7 µs restantes, il viendra se recaler le long de la fenêtre.

On réalise une définition de la fenêtre de travail de 32Ø points par ligne et de 2ØØ lignes.

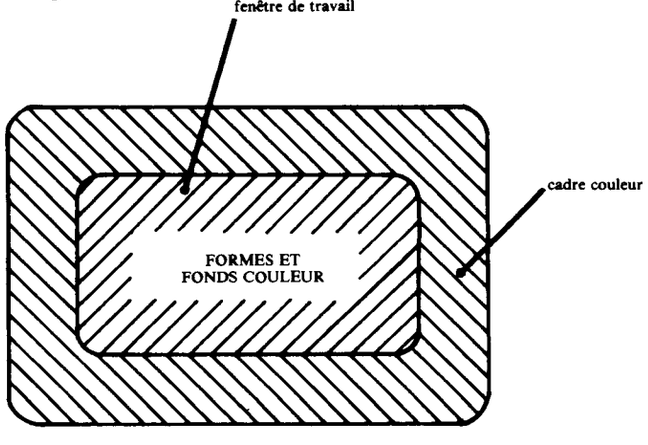


Figure 2
Constitution de l'écran

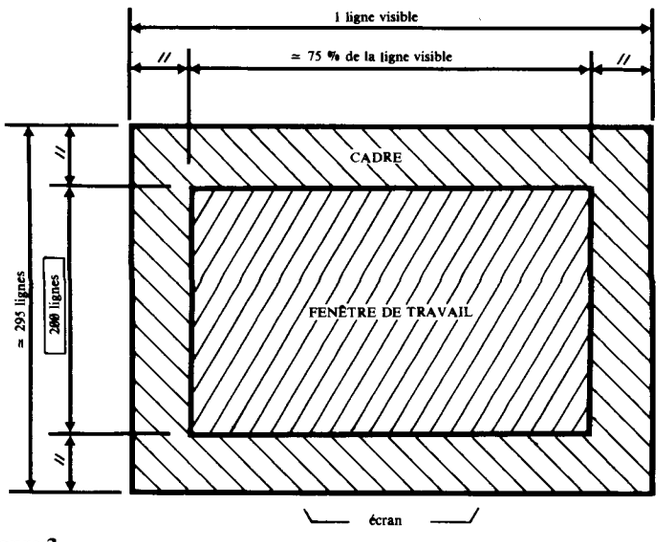


Figure 3
Définition de l'écran

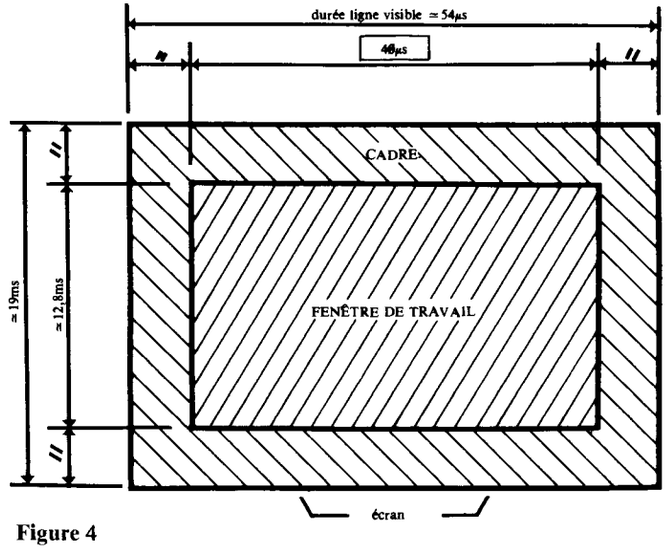


Figure 4
Timing de la gestion d'écran

Mémorisation des points couleurs

Les points vidéo sont rangés huit par huit dans les mémoires RAM 4416. Chaque groupe de huit points, appelé GPL (groupe de points ligne) est donc obtenu par lecture des deux boîtiers de RAM à une adresse donnée (par exemple, $ØØØØ pour le premier GPL de la fenêtre).

Chaque point du groupe peut être dans la couleur "FORME" s'il est à un, ou dans la couleur "FOND" s'il est à zéro.

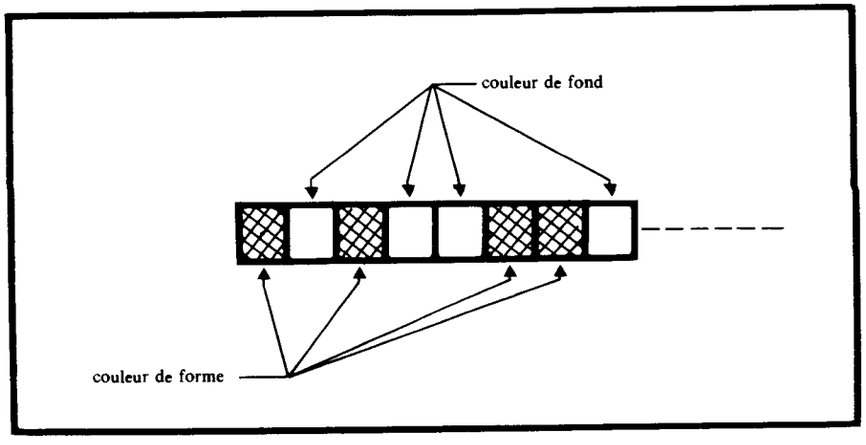


Figure 5
Représentation d'un GPL

Un bit à un sera un bit de *forme*.
Un bit à zéro sera un bit de *fond*.

La couleur de la FORME se matérialise par 4 bits P1 R1 V1 B1 dans la mémoire vive appelée RAM couleur forme.

La couleur du FOND se matérialise également par 4 bits PØ RØ VØ BØ dans la mémoire vive appelée RAM couleur fond.

On obtient les huit couleurs saturées (noir, rouge, vert, jaune, bleu, magenta, cyan et blanc) par mélange des trois couleurs de base rouge, vert et bleu quand le bit de pastel P est mis à Ø. Dans le cas où ce bit P est à 1, on obtient alors les points couleurs "demi-teinte" (ou pastel) : gris, rose, vert clair, jaune poussin, bleu clair, rose parme, bleu ciel et orange.

La synthèse des teintes se fait conformément au tableau ci-joint.

La définition complète d'un GPL nécessite donc un octet de mémoire vive pour définir les points et un autre pour le choix de la couleur *forme* ou *fond*. Il faudra donc deux RAM de 8 koctets, soit quatre demi-boîtiers de RAM 4416 (partie des adresses basses).

RAM COULEUR

Couleur de Base Présente	1
Couleur de Base Absente	Ø

RAM POINT

Bit de FORME	1
Bit de FOND	Ø

Synthèse des couleurs

P	B	V	R	COULEUR
Ø	Ø	Ø	Ø	NOIR
Ø	Ø	Ø	1	ROUGE
Ø	Ø	1	Ø	VERT
Ø	Ø	1	1	JAUNE
Ø	1	Ø	Ø	BLEU
Ø	1	Ø	1	MAGENTA
Ø	1	1	Ø	CYAN
Ø	1	1	1	BLANC
1	Ø	Ø	Ø	GRIS
1	Ø	Ø	1	ROSE
1	Ø	1	Ø	VERT CLAIR
1	Ø	1	1	JAUNE POUSSIN
1	1	Ø	Ø	BLEU CLAIR
1	1	Ø	1	ROSE PARME
1	1	1	Ø	CYAN CLAIR
1	1	1	1	ORANGE

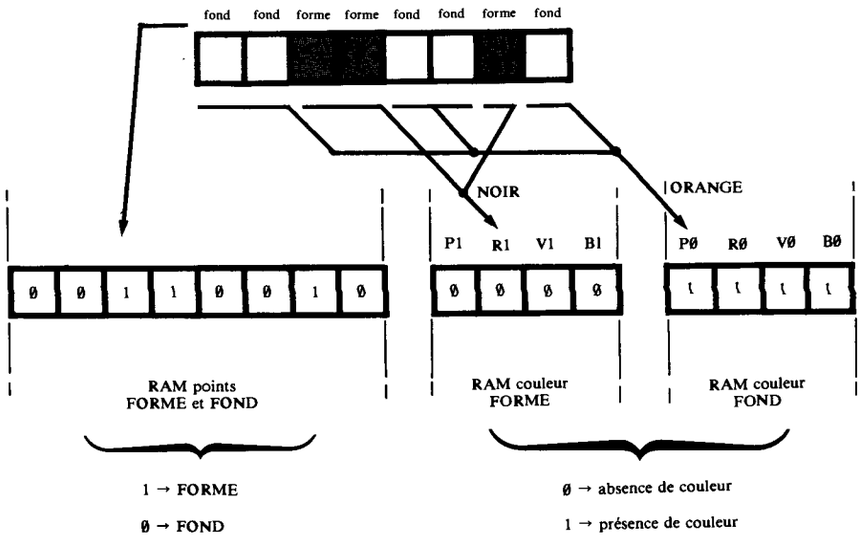


Figure 7
Mémorisation d'un GPL

Ces deux mémoires ont un adressage commun de 8 ØØØ adresses, chaque adresse correspondant au numéro d'ordre du GPL sur l'écran.

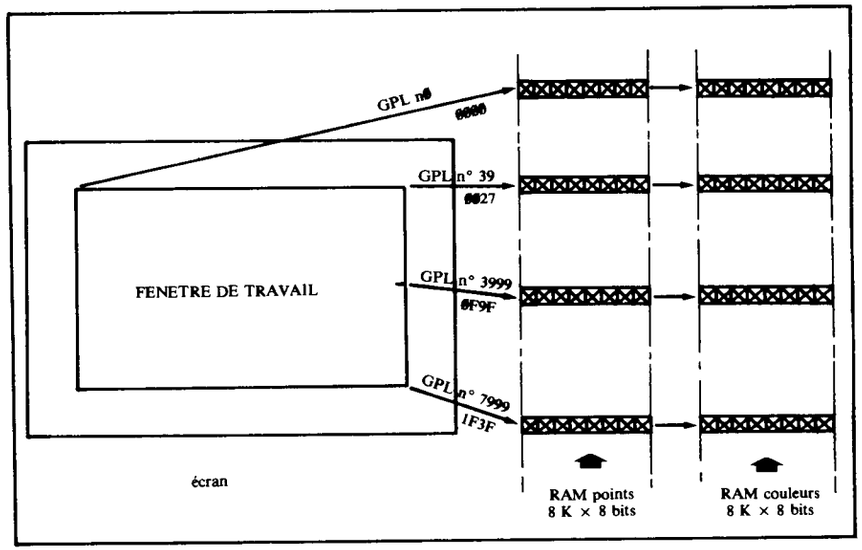


Figure 8
Occupation mémoire des GPL

Restitution des points couleurs

Soit à restituer sur l'écran le GPL n° Ø (coin gauche de la fenêtre). Communiquons aux rams points et couleurs l'adresse ØØØØ de ce GPL.

On récupère alors en parallèle les 8 bits points et les 8 bits couleurs. Le problème est alors le suivant :

Il faut envoyer sur la prise PERITEL les niveaux PRVB du premier point, puis du second, ...jusqu'au huitième.

La durée totale de cette restitution vidéo doit être de 1 μs puisqu'il y a 4Ø GPL le long d'une ligne de la fenêtre, et que l'on doit balayer cette ligne en 4Ø μs.

La première partie du problème montre la nécessité de "sérialiser" les bits récupérés en parallèle à la sortie de la RAM points. La valeur de chaque bit, Ø ou 1, doit permettre la sélection soit du groupe PØ RØ VØ BØ de couleur FOND, soit du groupe P1 R1 V1 B1 de couleur FORME. Deux circuits 74LS173 contenant chacun quatre bascules D à sorties trois états (voir documentation en Annexe) sont montés en sorties communes, et reçoivent en entrée, l'un le groupe PØ RØ VØ BØ, l'autre le groupe P1 R1 V1 B1. Le bit en provenance du sérialisateur sélectionnera l'un des deux groupes et portera les autres sorties à l'état haute impédance (figure 9).

La deuxième partie du problème montre la nécessité de "sérialiser" les 8 bits à la fréquence de 8 Mhz afin de traiter la totalité du GPL en 1 μs. L'entrée d'horloge du sérialisateur sera donc le signal $\overline{\text{POINT}}$ en provenance du gate-array et obtenu à partir de H16, horloge 16 Mhz.

L'adressage des RAMS points et couleurs étant multiplexé, il est nécessaire de s'assurer que les deux octets correspondant à un GPL sont bien présents aux entrées du sérialisateur et des quadruples bascules D avant de valider ces circuits. C'est le rôle du signal $\overline{\text{DATA-VALID}}$ généré par le gate-array en synchronisation avec les signaux de gestion des adresses RAM, $\overline{\text{RAS}}$ et $\overline{\text{CAS}}$ et dont on étudiera le timing dans un chapitre suivant.

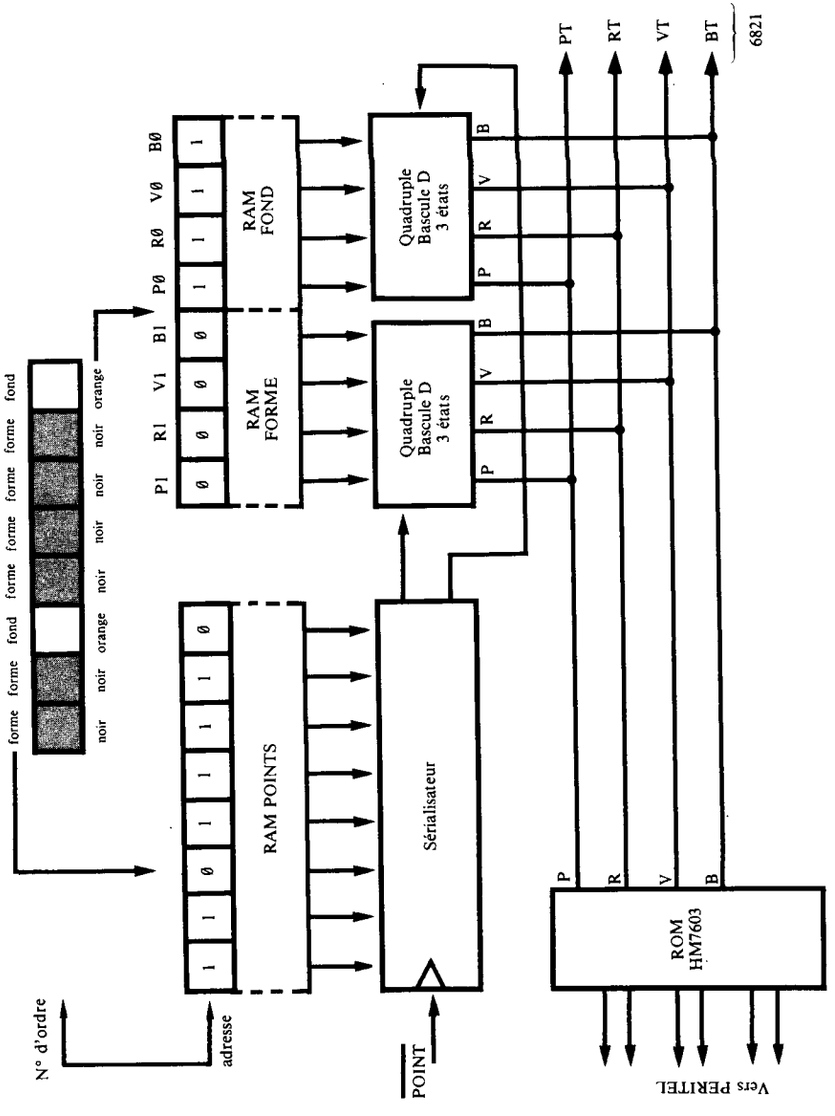


Figure 9
Restitution des couleurs

D'autre part, les bascules ne seront validées que pendant les 40 μs de balayage d'une ligne de la fenêtre, et placées en état haute impédance en dehors de cette zone à l'aide du signal $\overline{\text{INILT}}$ généré également par le gate-array.

On arrive donc au schéma de principe ci-dessous (figure 10).

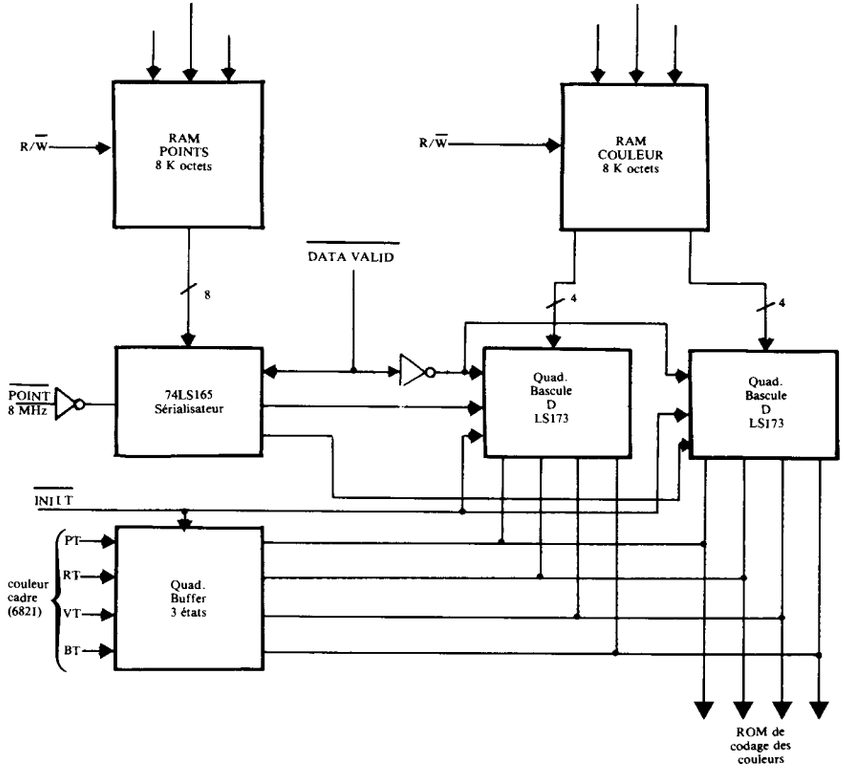


Figure 10
Circuits de gestion des couleurs

Génération de la couleur du tour

La couleur du TOUR est également définie par 4 bits PT RT VT et BT en provenance respectivement des bits PA4 PA1 PA2 et PA3 du PORTA du PIA 6821 système. Ces quatre bits seront reliés également aux sorties P R V B des quadruples bascules latchées via un buffer trois états 74LS126 sélectionné par le signal $\overline{INILT}$ en opposition avec la validation des bascules.

Les quatre bits de couleurs PRVB fournissent un code aux entrées de la mémoire morte HM 7603 qui fabriquera en sortie les niveaux de tension permettant l'obtention des 16 couleurs choisies. Cette mémoire reçoit comme cinquième bit d'adresse (A4 patte 14, voir documentation en Annexe) le signal $\overline{SUPLT}$ qui, lorsqu'il est à zéro, provoque l'envoi de la couleur d'effacement vidéo (blanking). Pendant les 1Ø µs de retour ligne, on n'envoie donc pas vraiment de couleur vers la prise PERITEL.

Le timing général est représenté ci-dessous.

ATTENTION : la gestion de l'écran ne se fait que pendant la phase inactive du 68Ø9 (E = Ø).

INILT	SUPLT	P_T R_T V_T B_T	PRVB
Ø	1	X	Ø
Ø	1	X	1
1	1	Ø	Z
1	1	1	Z
X	Ø	X	X

Figure 11 (a)
Timing de gestion des couleurs

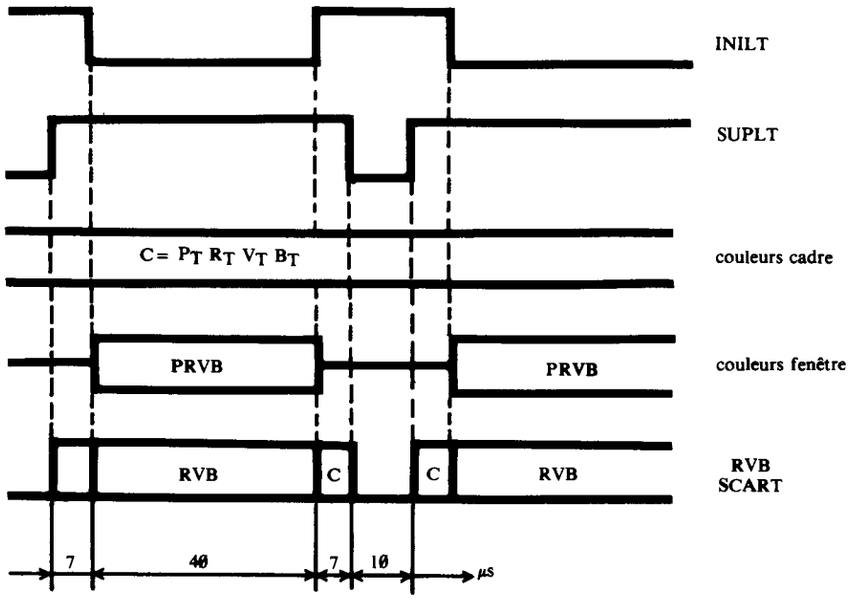


Figure 11 (h)
Timing de gestion des couleurs

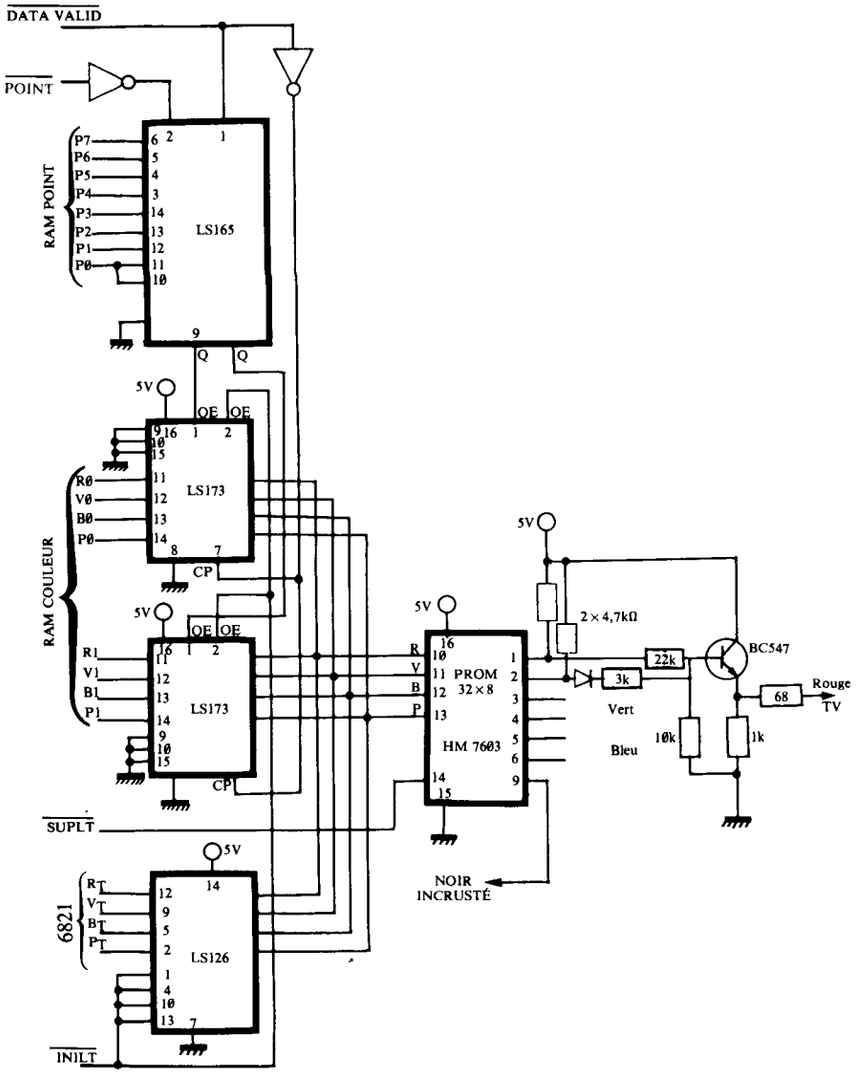


Figure 12
Schéma général de l'organisation vidéo

Organisation des sorties vidéo RVB

Les couleurs dites "pastel" sont obtenues par combinaison des trois fondamentales RVB. Elle peuvent avoir quatre valeurs différentes correspondant approximativement à Ø, 33 %, 66 % et 1ØØ % de la teinte saturée. Ces quatre valeurs peuvent être obtenues à l'aide de deux bits. Le noir pastel est un gris, mais le blanc pastel est en fait un orange.

Le composant retenu pour cette fonction est une PROM bipolaire 32 × 8, HM 76Ø3 (voir documentation en Annexe). Six de ses sorties servent à piloter les RVB de la prise PERITEL via des amplificateurs à transistors. Une autre sortie permet le décodage du noir saturé, couleur retenue pour assurer la transparence lors du mode incrusté. La sortie restante n'a pas, à ce jour, reçu d'affectation.

Les 16 premiers octets de la mémoire ne contiennent que le code $8Ø qui correspond au "blanking" vidéo. Ce code est envoyé en sortie quand le signal SUPLT passe à zéro.

Le contenu total de la mémoire est explicité et détaillé couleur par couleur dans le tableau ci-dessous :

ADRESSE	COULEUR	B2	B1	V2	V1	R2	R1	DONNÉE
$ØØ à $ØFF	Blanking	Ø	Ø	Ø	Ø	Ø	Ø	$80
$1Ø	Noir	Ø	Ø	Ø	Ø	Ø	Ø	$ØØ
$11	Rouge	Ø	1	Ø	1	1	1	$97
$12	Vert	Ø	Ø	1	1	Ø	Ø	$8C
$13	Jaune	Ø	Ø	1	1	1	1	$8F
$14	Bleu	1	1	Ø	1	Ø	1	$B5
$15	Magenta	1	1	Ø	Ø	1	1	$B3
$16	Cyan	1	1	1	1	Ø	1	$BD
$17	Blanc	1	1	1	1	1	1	$BF
$18	Gris	1	Ø	1	Ø	1	Ø	$AA
$19	Rose	1	Ø	1	Ø	1	1	$AB
$1A	Vert clair	1	Ø	1	1	1	Ø	$AE
$1B	Jaune clair	1	Ø	1	1	1	1	$AF
$1C	Bleu clair	1	1	1	Ø	Ø	1	$B9
$1D	Rose parme	1	1	1	Ø	1	1	$BB
$1E	Cyan clair	1	1	1	1	1	Ø	$BE
$1F	Orange	Ø	1	1	Ø	1	1	$9B

Gestion des RAMS écran

Chaque RAM dynamique 4416 peut stocker 16k × 4 bits sous forme d'une matrice de 256 lignes et 64 × 4 colonnes. L'adressage d'une telle matrice nécessite 14 bits. En fait, seuls 8 bits d'adresse (AØ à A7) permettent la gestion de la mémoire et sont multiplexés d'abord vers le bloc d'adresses lignes, quand le signal de validation $\overline{RAS}$ passe à zéro, puis vers le bloc d'adresses colonnes quand le signal de validation colonne passe à Ø. Les adresses multiplexées, notées MAØ à MA7, ainsi que les signaux de validation $\overline{RAS}$ et $\overline{CAS}$ proviennent du gate-array.

D'autre part, ces mémoires, étant dynamiques, nécessitent un rafraîchissement de cycle inférieur ou égal à 4 ms. Ce rafraîchissement se fait par adressage succesif des 256 lignes. A chaque ligne adressée, si RAS est à Ø, les 64 × 4 transistors placés aux intersections avec les 64 × 4 colonnes sont simultanément rafraîchis.

PRINCIPE FONDAMENTAL :

1. Pendant la phase active du 68Ø9E : E = 1

Le microprocesseur a accès aux mémoires vives, aussi bien en lecture qu'en écriture, que ce soit pour les RAMS points, couleurs ou programme. Dans ce cas, les adresses multiplexées générées par le gate-array et envoyées aux RAMS sont les adresses que le 68Ø9 fait apparaître sur son bus. De même, les signaux de validation d'adressage, $\overline{RAS}$, $\overline{CASPT}$, $\overline{CASCOL}$ et $\overline{CASEXT}$, générés par le gate-array, le sont par le décodage des signaux d'adresse, $\overline{CSPT}$, $\overline{CSCOL}$ et $\overline{CSEXT}$ ainsi que du signal FORME.

Pendant ce demi-cycle, les informations ne sont pas communiquées à l'interface vidéo, car $\overline{DATAVALID}$ est à 1.

2. Pendant la phase non active du 68Ø9E : E = Ø

Les mémoires vives ne sont plus adressées par le 68Ø9, mais par un compteur de contrôle d'écran interne au gate-array (voir documentation en Annexe). Le bus de données n'étant pas actif pendant cette phase, seule la lecture des informations vidéo doit être possible. Il est nécessaire de placer les RAM en mode lecture seulement et de valider les échanges avec l'interface vidéo en portant $\overline{DATAVALID}$ à Ø.

Pendant cette phase d'inactivité du microprocesseur, il faut également rafraîchir les 256 lignes, l'une après l'autre, de toutes les RAMS dynamiques. Ce rafraîchissement sera fait automatiquement par le gate-array en synchronisme avec les signaux $\overline{RAS}$.

Afin d'éviter les conflits pendant la phase vidéo, et de gérer le sens des échanges RAMS <--> 68Ø9 pendant la phase active, deux buffers bidirectionnels trois états 74LS245 (voir documentation en Annexe) sont sélectionnés ou non par les signaux $\overline{CASPT}$ et $\overline{CAS}$-$\overline{COL}$, R/$\overline{W}$ et $\overline{E}$ selon le schéma ci-joint.

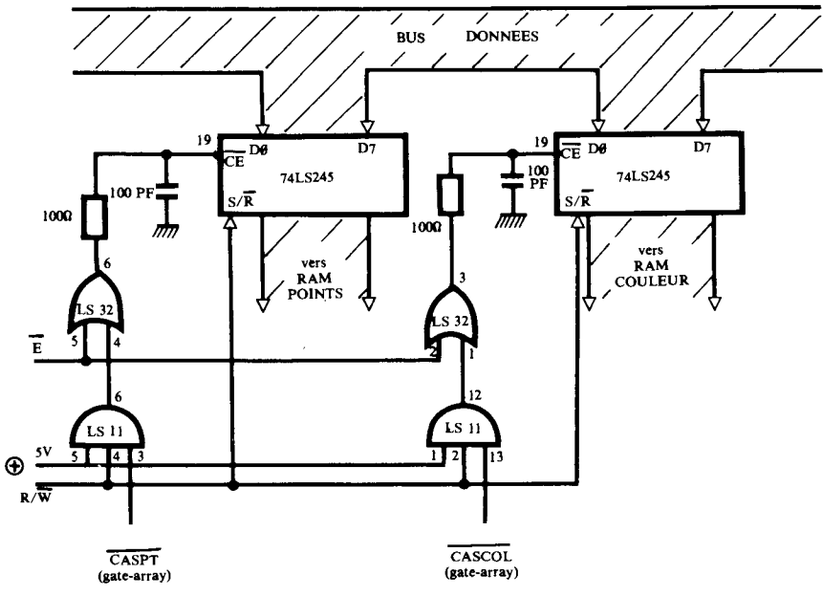


Figure 13
Codage du $\overline{CE}$ des 74LS245

Les signaux de commande

On distingue deux sortes de signaux de commande :
- les signaux de validation,
- les signaux de gestion.

Les signaux de validation

Ces signaux vont servir principalement à valider les écritures dans les RAMS dynamiques. On y trouvera donc :
- $\overline{RAS}$ et NRAS signaux servant à la validation ligne des RAMS.

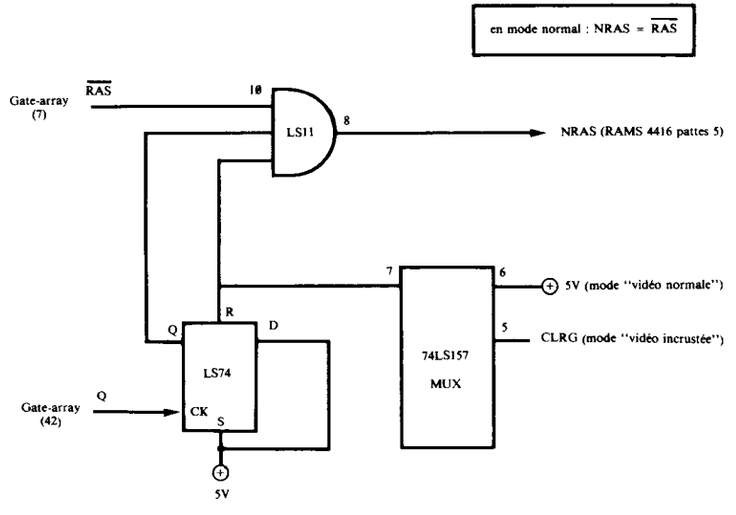


Figure 14
Codage de NRAS

- $\overline{CASPT}$, $\overline{CASCOL}$ et $\overline{CASEXT}$ signaux de validation des colonnes des RAMS.
- $\overline{DATAVALID}$, fabriqué uniquement pendant la phase non active du 68Ø9, entre la montée de RAS et celle de CAS, permet d'assurer un fonctionnement synchrone lorsqu'elles sont valides :
- des données en lecture du système de mémorisation,
- des informations à positionner sur l'écran,
- des informations optiques du light-pen.

$\overline{DATAVALID}$ est centré sur la validation des données, en lecture automatique du système de mémorisation.

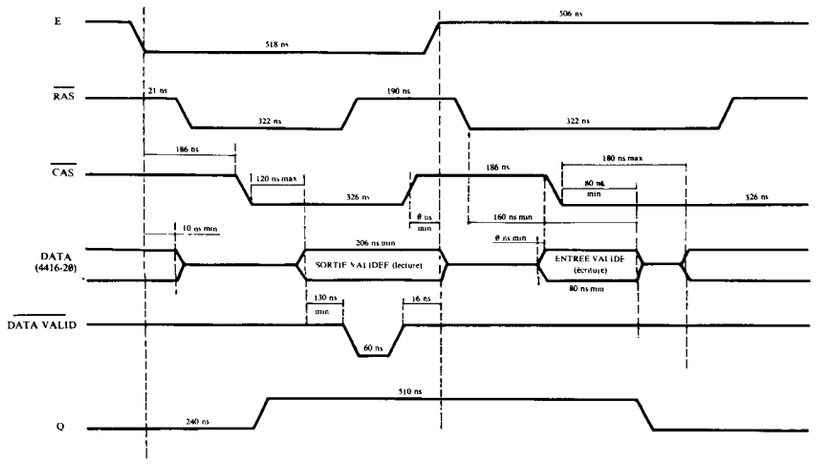


Figure 15
Timing des signaux de validation

Les signaux de gestion

Générés par le gate-array, ce sont les signaux du contrôle d'écran, c'est-à-dire la synchronisation vidéo et les signaux d'initialisation.

Les compteurs lignes du gate-array sont dénommés TLØ, TL1, TL2, LT3, LT4 et LT5. Ils comptent les octets, c'est-à-dire les microsecondes puisque dans le balayage d'une ligne de l'écran, il faut 1 μs pour "sérialiser" un octet points. La durée totale d'une ligne vidéo étant de 64 μs, le comptage s'effectue donc $ØØ à $3F (63 en décimal), puis les compteurs sont réinitialisés à Ø pour chaque nouvelle ligne TV.

Les compteurs trame sont dénommés T3, T4, T5, T6, T7, T8, T9, T1Ø, T11, T12 et T13. Ils comptent, avec TLØ, TL1 et TL2, le nombre d'octets dans une trame vidéo complète, soit 12 48Ø au maximum. Ils comptent donc de $ØØØØ à $3ØCØ. Le bit T3 est incrémenté tous les 8 octets. Les signaux trames sont générés toutes les 2Ø ms.

Ces deux signaux sont regroupés sur la patte 62 du gate-array pour former le signal d'inhibition ligne-trame $\overline{INILT}$.

Pour les signaux lignes, 4Ø μs à l'état bas et 24 μs à l'état haut. Pour les signaux trames, 13 ms à l'état bas et 7 ms à l'état haut.

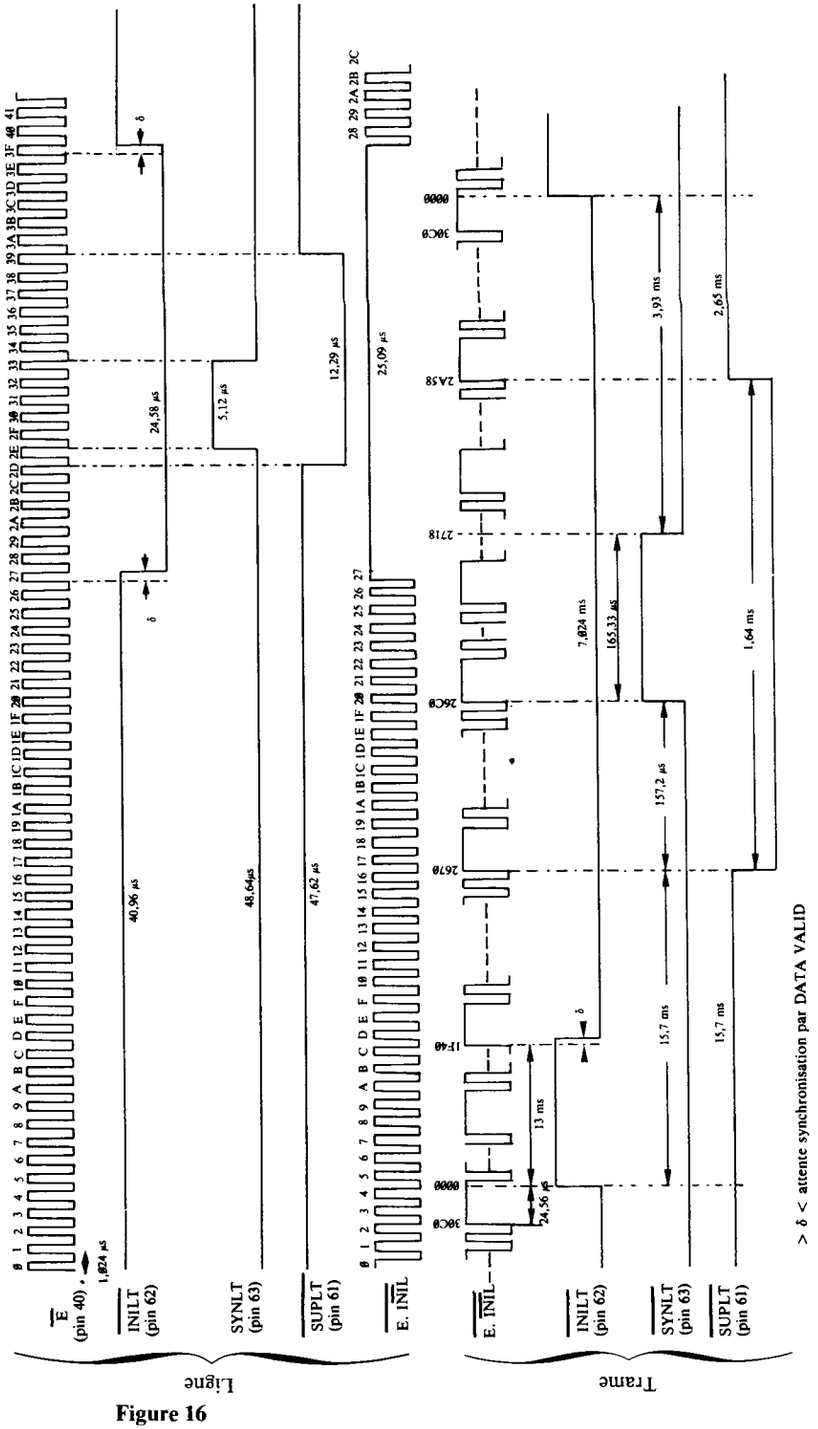


Figure 16
Timing des signaux de gestion

La partie utile de l'écran représente une zone de 4Ø μs de large pour 13 ms de haut. Il existe donc une zone inutile de 12 μs de chaque côté de la fenêtre, et de 3,5 ms entre le haut et le bas de l'écran. Le signal $\overline{\text{SUPLT}}$ (suppression ligne-trame) permet l'inhibition des sorties vidéo RVB par mise à zéro de l'entrée d'adresse A4 de la ROM de codage qui fournit donc, entre \$ØØ et \$ØF, le "blanking" vidéo.

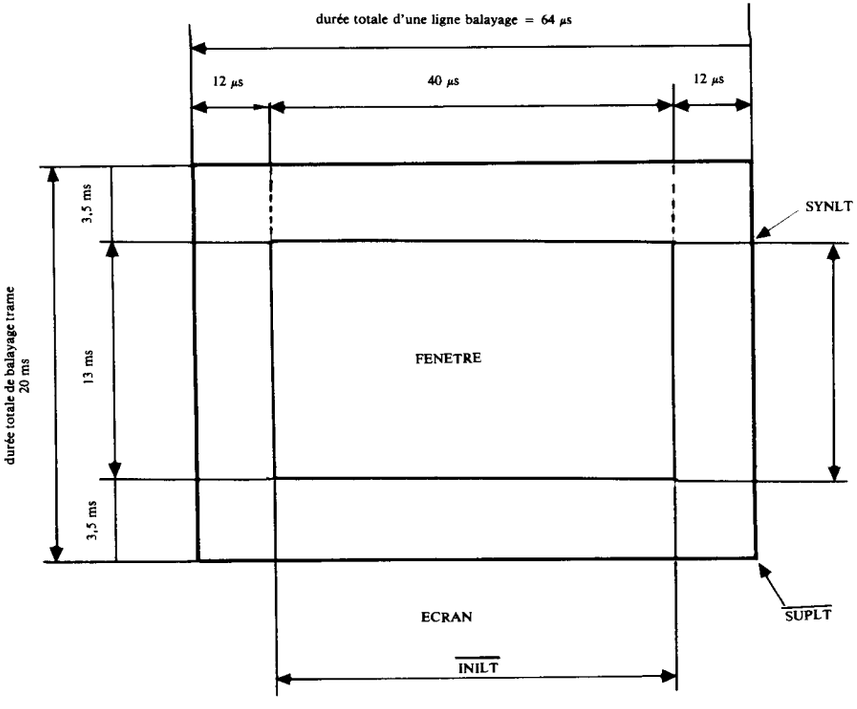


Figure 17
Signaux de synchronisation ligne et trame

Le signal SYNLT représente la synchronisation ligne-trame. Ce signal amplifié par un transistor BC557 sera envoyé sur la sortie synchro-mixte (patte 2Ø) de la prise PERITEL.

Sélection vidéo normale - vidéo incrustée.

La sélection des signaux de gestion de la vidéo suivant le choix du mode, normal ou incrusté, se fait via un quadruple multiplexeur à deux entrées 74LS157 (voir documentation en Annexe).

En mode normal :

- l'entrée H16 (59) du gate-array reçoit le signal d'horloge 16 Mhz.
- l'entrée SYCL (57) du gate-array reçoit un niveau Ø.
- le signal CR TV (commutation rapide prise PERITEL) est un niveau de trois volts si connecté au téléviseur.
- le signal CL TV (commutation lente prise PERITEL) est porté à 12 volts à l'aide du multiplicateur de tension filtré à transistors.

Le téléviseur fonctionnera donc en mode "logique", ne prenant en compte que les signaux couleur RVB et le signal de synchro-mixte SYTV.

En mode incrusté :

- l'entrée H16 reçoit cette fois les signaux d'horloge provenant du VCO (voltage controlled oscillator) de l'extention d'incrustation.

- le signal SYCL est piloté par le signal CLRG venant de la même extension et qui permet de resynchroniser le MO 5 sur la vidéo analogique en rattrapant la 625e ligne. Le signal CLRG force en effet une remise à zéro des compteurs du gate-array.

- l'entrée du multiplicateur de tension étant portée au Ø, la sortie de commutation lente CL TV est à Ø volt.

- le signal de commutation rapide CR TV est piloté par la sortie "noir incrusté" de la ROM de codage des couleurs HM76Ø3. Il passe donc de trois volts quand le téléviseur saisit les signaux RVB en provenance du MO 5, à Ø volts quand le téléviseur saisit les informations vidéo analogiques.

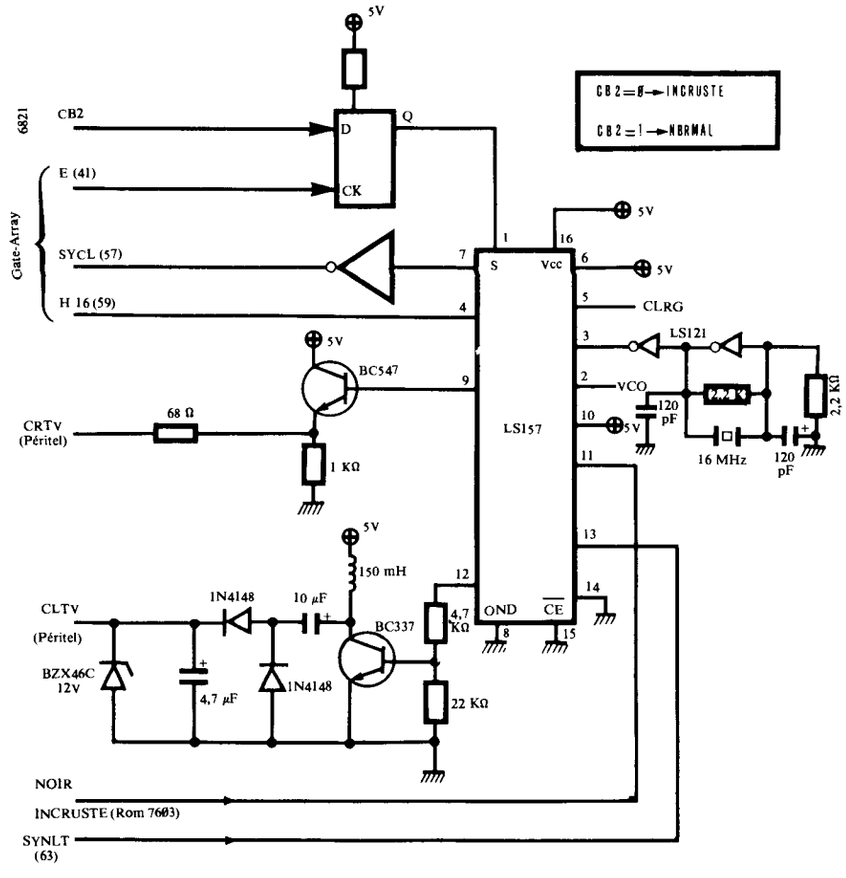


Figure 18
Sélection vidéo normale/incrustée

Le fonctionnement du crayon optique

Le crayon optique est constitué de deux éléments indépendants :
- un interrupteur de validation,
- un phototransistor de détection optique.

Fonctionnement de l'interrupteur

Cet interrupteur unipolaire est relié :
- d'une part à la tension d'alimentation + 5 volts.
- d'autre part au bit PA5 du PORTA du 6821 système, bit tiré à la masse par une résistance de 39Ø Ω.

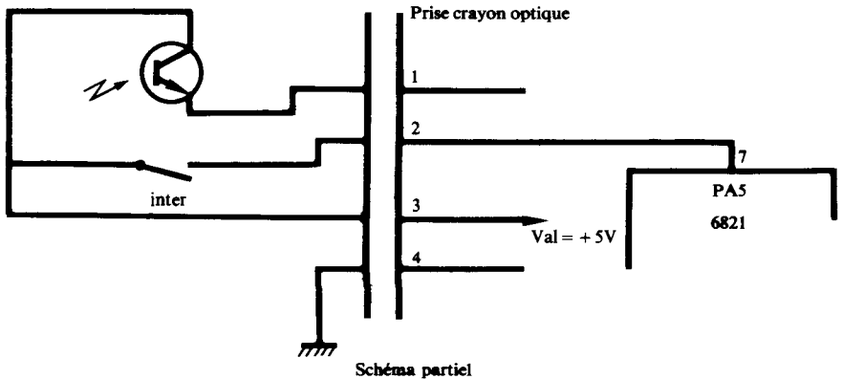


Figure 19
Schéma partiel du crayon optique

Le fonctionnement de cet interrupteur ne peut être actif que grâce à un soft convenable. La routine LPINT teste le bouton du crayon optique et revient avec C = 1 si le bouton est fermé, et C = 0 s'il est ouvert.

Fonctionnement du phototransistor

Lorsque l'écran vidéo reçoit "via la prise PERITEL" une information RVB, il n'allume qu'un point. Si face à ce point est placé le phototransistor du crayon optique, celui-ci reçoit la lumière du point, à condition que celui-ci soit suffisamment lumineux, qui le sature.

Cette information courant est convertie en une information tension qui, amplifiée, est mise en forme à l'aide d'un monostable pour fournir finalement l'information $\overline{CKLP}$.

Dans l'état actuel des choses, ce signal $\overline{CKLP}$ est relié à l'entrée d'interruption CA1 du 6821 système.

Lorsque dans un programme, on place une instruction de test du crayon optique, le 68Ø9E est donc au courant que l'utilisateur peut utiliser son crayon optique sur l'écran. Immédiatement le 68Ø9E fait donc appel à une routine particulière qui autorise une demande d'interruption $\overline{FIRQ}$ sur l'entrée CA1 du 6821. A partir de cet instant, dès que le signal $\overline{CKLP}$ passera de Ø à 1, ce front montant, coïncidant avec le passage du spot sur l'écran, déroutera le 68Ø9 vers une routine d'interruption.

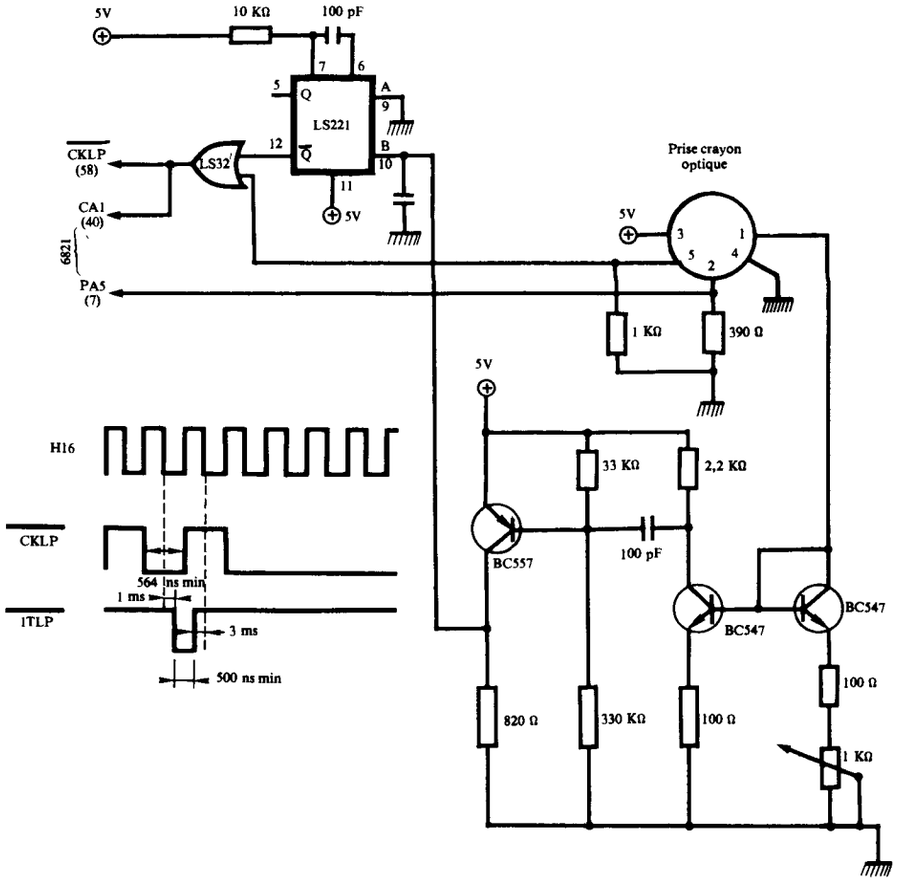


Figure 20
Gestion du crayon optique

Cette routine a pour but de décoder la position du crayon optique sur une trame. Elle fonctionne de la façon suivante :

- blocage immédiat de l'état des compteurs lignes-trames.
- lecture de ces compteurs par le 68Ø9 qui adresse successivement les quatre lignes du gate-array, $A7E4 à $A7E7.

En effet, les compteurs trames T3 à T13 associés aux compteurs TLØ à TL2 fournissent une précision au niveau de l'octet. La précision au niveau du point est obtenue à l'aide des trois signaux d'horloge H4 (4 Mhz), H2 (2 Mhz), et H1 (1 Mhz). Ce sont ces horloges qui en comptant de Ø à 7 l'intérieur de chaque octet permettent une définition au niveau du point.

Il est envisagé de modifier la génération de l'interruption $\overline{\text{FIRQ}}$ à l'aide d'un masque approprié dans le gate-array. Dans ce cas, le signal $\overline{\text{CKLP}}$ ne sera plus relié qu'à l'entrée 58 du gate-array. Dès que le 68Ø9 détectera la possibilité d'utilisation du light-pen, il fera appel à une routine spéciale. Cette dernière positionnera à un le bit DØ à l'adresse $A7E4 du gate-array, ce qui aura pour effet de valider le $\overline{\text{CKLP}}$ s'il se présente.

Ce $\overline{\text{CKLP}}$, une fois validé et calibré par H16, ressort du gate-array par la patte 38, signal $\overline{\text{ITLP}}$. Ce signal ira valider une interruption sur le PIA 6821 qui, si elle a une longueur suffisante (5ØØ ns minimum), sera transmise au 68Ø9E. La suite sera la même.

Le fonctionnement du clavier

Le clavier du MO 5 est une matrice de huit lignes et de huit colonnes. Cette matrice est adressée par les 7 bits PB1 à PB7 du PIA 6821 système via un multiplexeur huit entrées 74LS151 (voir documentation en Annexe) et un démultiplexeur 2 vers 4 à collecteurs ouverts 74LS156 (voir documentation en Annexe). La fonction collecteurs ouverts du 74LS156 est obligatoire du fait de la possibilité d'appui simultané de deux touches de la même colonne.

L'ensemble fonctionne de la manière suivante : dès la mise sous tension, les pattes PB1 à PB6 sont initialisées en sorties alors que la patte PB7 l'est en entrée.

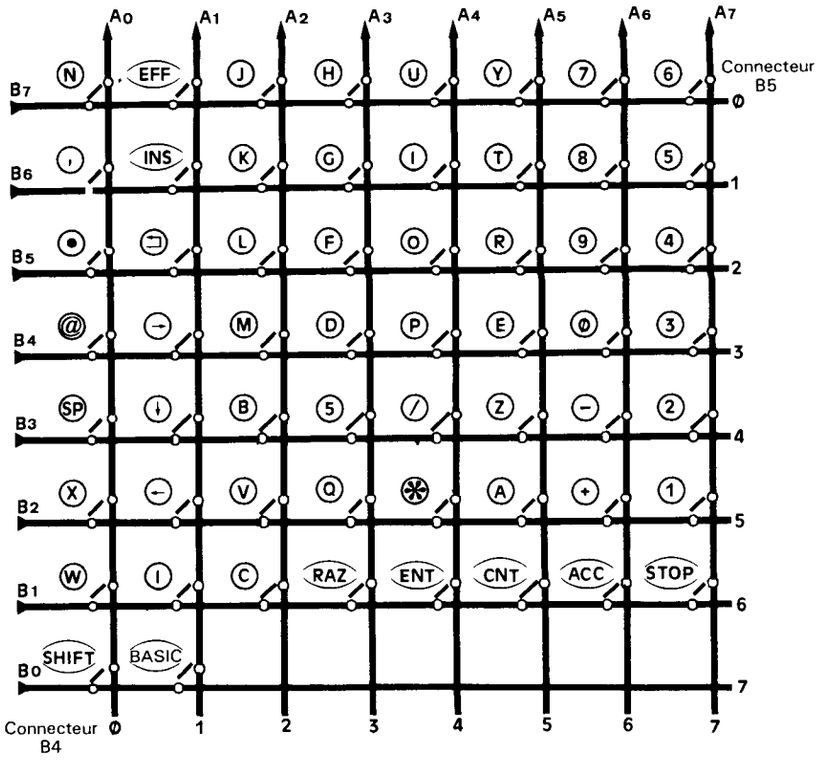


Figure 21
Matrice clavier

A l'aide des trois premiers bits PB1, PB2 et PB3, on fait passer successivement et individuellement toutes les colonnes AØ à A7 de la matrice à Ø volt.

Lorsqu'une colonne est à Ø, on adresse avec les bits PB4, PB5 et PB6 toutes les lignes, de BØ à B7, de la matrice, et on scrute l'état de la ligne d'entrée PB7.

Si aucune touche n'est enfoncée, alors les résistances de "pull-up" de 10kΩ laissent PB7 au niveau 1. Au contraire, si au moins une touche est enfoncée, alors PB7 passe à Ø ; dans ce cas, la connaissance des adresses ligne et colonne de la matrice fournit le code de la touche enfoncée.

A l'aide d'une table, ce code est converti en ASCII.

Afin d'optimiser le soft, les colonnes A du clavier sont commandées dans l'ordre par le démultiplexeur alors que les lignes B sont inversées dans le multiplexeur, c'est-à-dire qu'à la ligne Ø correspond l'adresse 7, à la ligne 1 l'adresse 6, etc...

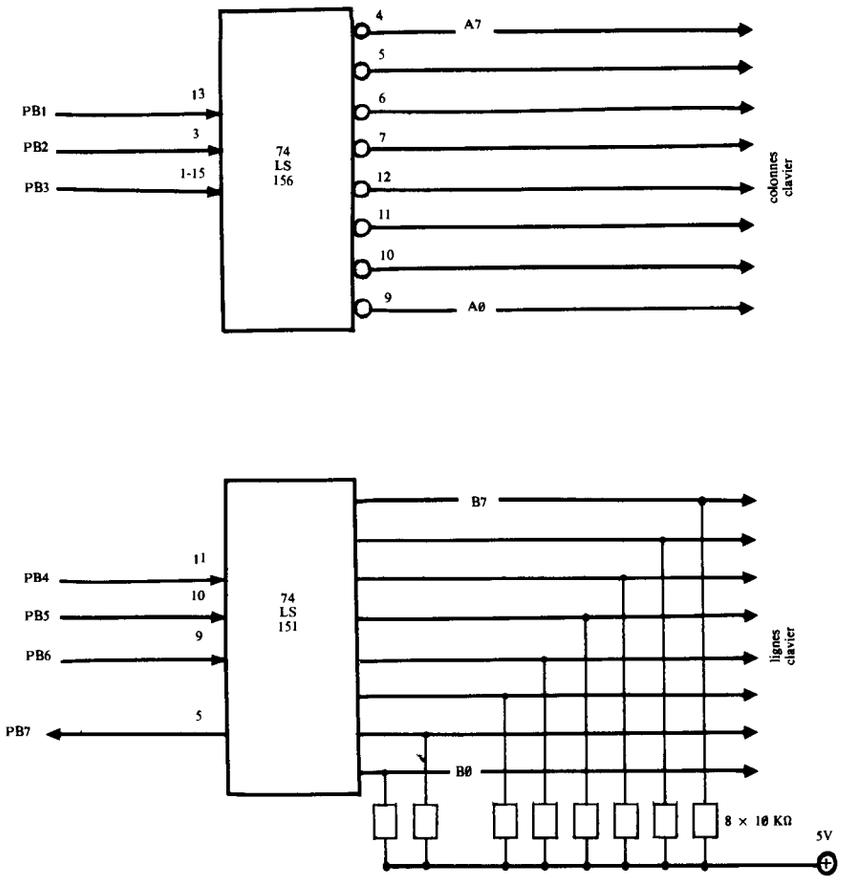


Figure 22
Gestion du clavier

Les circuits de décodage d'adresse

Le rôle du système de décodage d'adresse est de générer des signaux de validation permettant la sélection de chaque boîtier (ou groupe de boîtiers) de circuit intégré dans la zone mémoire qui lui est affectée.

La carte mémoire (voir chapitre 3, p. 59) permet de situer les principales zones à sélectionner.

La sélection des mémoires RAMS est réalisée avec un décodeur/multiplexeur 74SL156 conformément au schéma ci-dessous.

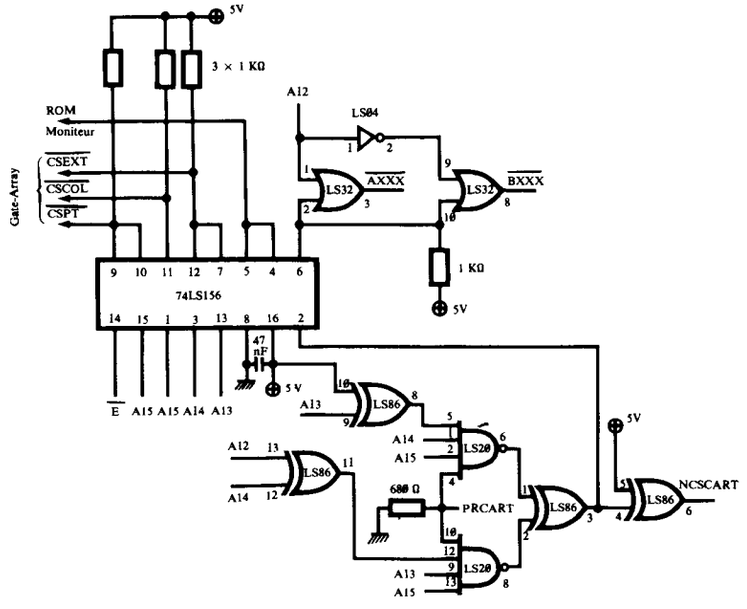


Figure 23
Les décodeurs d'adresse

Ce décodeur fournit les signaux suivants :
- $\overline{\text{CSPT}}$ décodé de \$ØØØØ à \$3FFF
- $\overline{\text{CSCOL}}$ décodé de \$4ØØØ à \$5FFF
- $\overline{\text{CSEXT}}$ décodé de \$6ØØØ à \$9FFF
- $\overline{\text{CE}}$ (reprom 27 128) décodé de \$CØØØ à \$EFFF
- un signal décodé de \$AØØØ à \$BFFF qui, associé au bit d'adresse A12 par différentes portes logiques, fournira les signaux de validation des extentions $\overline{\text{AXXX}}$ et $\overline{\text{BXXX}}$.

L'adressage du PIA 6821 système ($A7CØ à $A7C3) se fait à partir de portes logiques selon le schéma ci-joint.

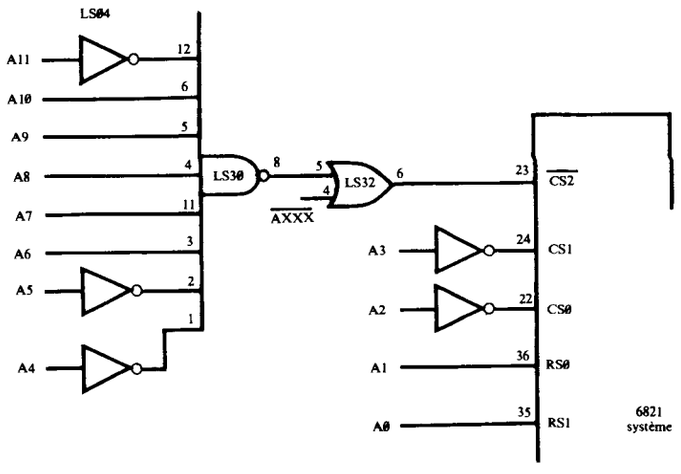


Figure 24
Sélection des PIA

L'alimentation

L'alimentation du MO 5 est intégrée dans un boîtier spécifique, le raccordement au micro-ordinateur étant effectué par un cordon de 80 cm équipé d'une prise JACK femelle (tension positive sur partie extérieure) de diamètre extérieur 5,5 mm. Elle délivre une tension unique, redressée filtrée non régulée d'environ 15,5 volts moyens à 0,75 A avec une ondulation inférieure à 2 volts. La tension d'alimentation est le secteur EDF 220 V 50 Hz.

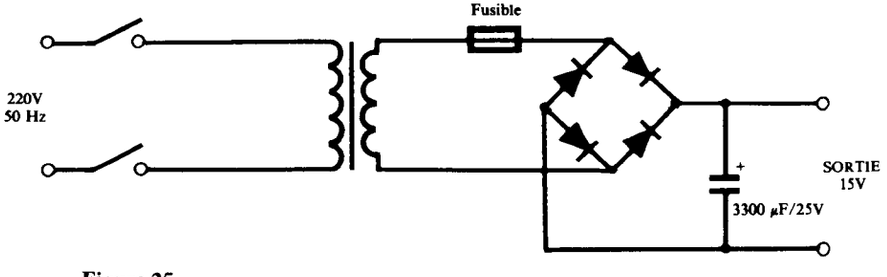


Figure 25
Bloc d'alimentation

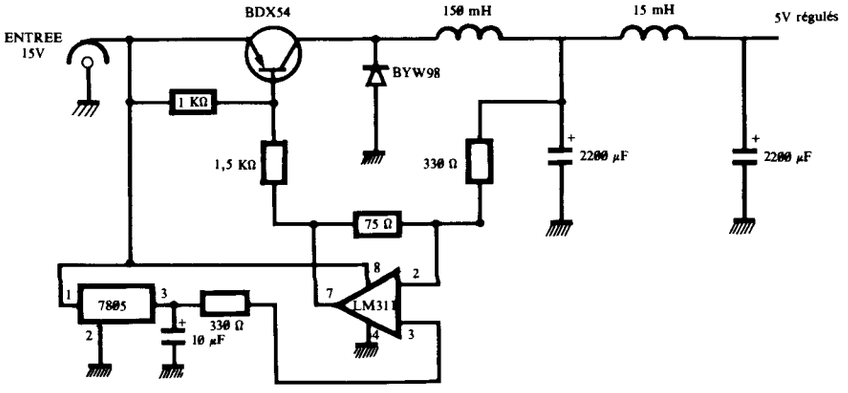


Figure 26
Régulation de l'alimention

Dans le MO 5, cette tension de 15 volts est régulée et filtrée selon le schéma ci-dessous, afin de fournir une tension, stable et exempte de parasites, de 5 volts.

Chapitre II.

Les entrées/sorties

Le bus d'extension

Une sortie de bus est prévue à l'arrière du MO 5. Elle se présente sous forme d'un "nez de carte" destiné à recevoir les extensions. Le connecteur d'extension est du type 2 × 19 contacts (double face) au pas de 2,54 mm (par exemple SOCAPEX 254 DF19 AYVBC).

Aux différents contacts correspondent les entrées/sorties ci-dessous :

SORTIE EXTENTION MO 5

	Dessus B2		Dessous B1	
	MASSE	1	RÉSERVÉ (+12V)	
Mise à Ø	CLRG	2	MASSE	
Décodage	A7CX	3	SON	Entrée son
	AXXX	4	R/W	Lecture/écriture
	A11	5	E	Validation extension
	A1Ø	6	D7	
	A9	7	D6	
	A8	8	D5	
	A7	9	D4	..... Bus
Bus	A6	1Ø	D3	Données
	A5	11	D2	
Adresses	A4	12	D1	
	A3	13	DØ	
	A2	14	RESET	
	A1	15	FIRQ	
	AØ	16	VCO 16Mhz	
	BXXX	17	IRQ	
Décodage	SYNLT	18	VIDEO	Vidéo analogique (19)
Synchro	+5V	19	RÉSERVÉ (-5V)	

L'entrée SON est envoyée via C17 (22Ø nF) sur la base d'un amplificateur émetteur commun réalisé autour du transistor T11 (BC547) monté en résistance d'émetteur non découplée, ce qui lui donne un gain en tension de 3 environ.

L'entrée audio du LEP (patte 3 de la prise DIN) attaque le même amplificateur à travers C19 (22Ø nF), ce qui permet la récupération du son venant du lecteur de cassettes sur le bus standard et vice versa, sans amplification.

La sortie amplifiée est prélevée sur le collecteur de T11 et envoyée sur la sortie SON TV de la prise PERITEL (broche 6) via le condensateur C29 (4,7 µF).

La sortie PBØ du PORTB du PIA 6821 système vient attaquer à travers un circuit RC de filtrage l'émetteur de l'amplificateur. C'est cette sortie PBØ qui, commandée par le logiciel, sera la sortie SON PROGRAMME du MO 5.

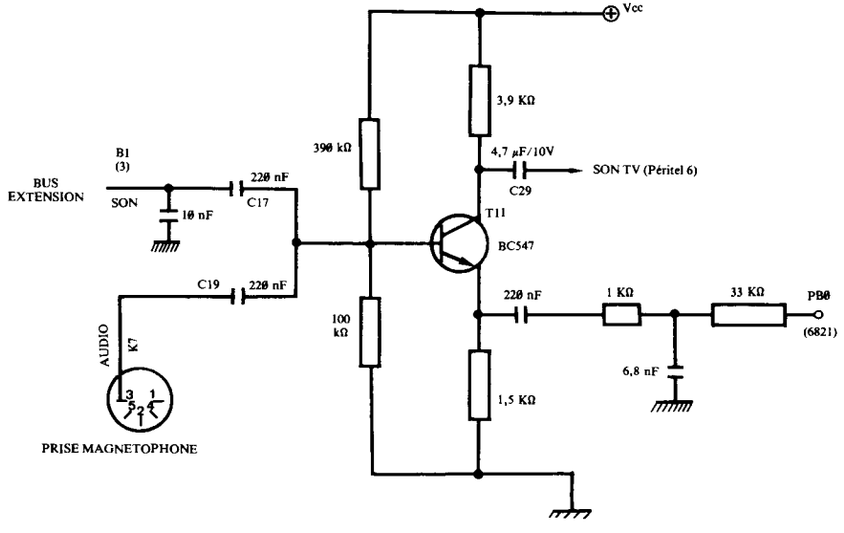


Figure 27
Les liaisons "SON"

Liaison avec le lecteur-enregistreur de programmes

La prise de connection au magnétophone est une prise standard 5 broches DIN. On peut donc éventuellement utiliser un prolongateur 5 broches MALE DIN <--> 5 broches FEMELLE DIN.

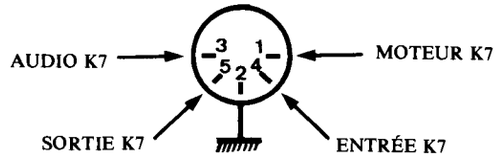


Figure 28
La prise magnétophone

1	Moteur K7	Commande le moteur du LEP
2	Masse	Référence Ø volt du MO 5
3	Audio K7	Lecture de la piste audio du LEP
4	Entrée K7	Lecture d'un programme enregistré sur le LEP
5	Sortie K7	Sortie d'un programme en RAM vers le LEP

- **La sortie 1** de commande du moteur K7 est reliée à la sortie CA2 du PIA 6821 système. Pour bien comprendre ce qui suit, il faut avoir préalablement assimilé le fonctionnement du registre CRA d'un PIA 6821 (voir documentation en Annexe).

Les bits CRA4 et CRA5 étant à 1 :
- si CRA3 = Ø → CA2 est mis à Ø → moteur ON
- si CRA3 = 1 → CA2 est mis à 1 → moteur OFF

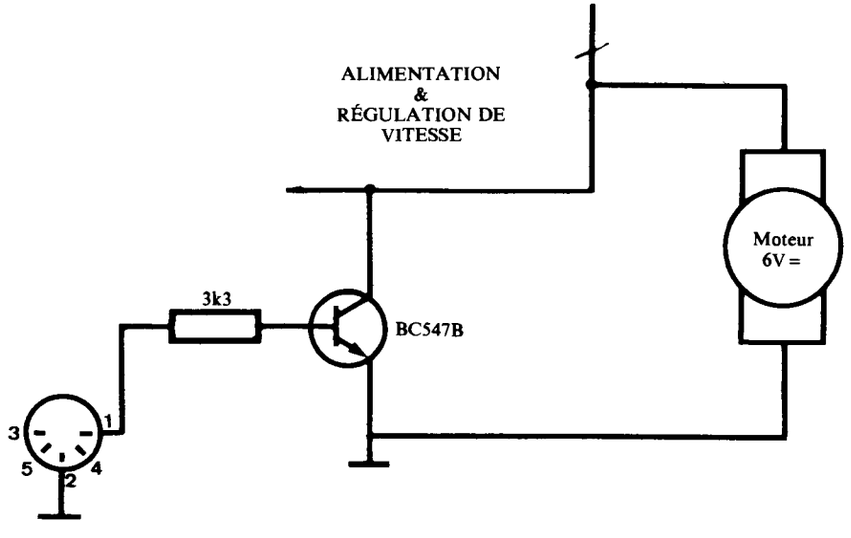


Figure 29
Commande du moteur du LEP

Dans le LEP, l'entrée MOTEUR K7 commande un transistor via une résistance, dont l'effet est :
- s'il est bloqué, de ne pas agir sur l'alimentation du moteur,
- s'il est saturé, de couper l'alimentation du moteur.

- **La borne 3** de la prise DIN est une entrée du MO 5 qui lit la piste audio de la cassette et envoie ce signal vers la sortie SON TV via l'amplificateur étudié précédemment.

- **Les bornes 4 et 5** d'entrée/sortie de programme sont commandées respectivement par les bits PA7 et PA6 du PIA système.

Les informations digitales de codage des programmes sont échangées entre le MO 5 et le LEP à une fréquence de 12ØØ bauds.

Liaison avec l'écran

La prise PERITEL du MO 5 est relié au connecteur B3 conformément au brochage ci-dessous :

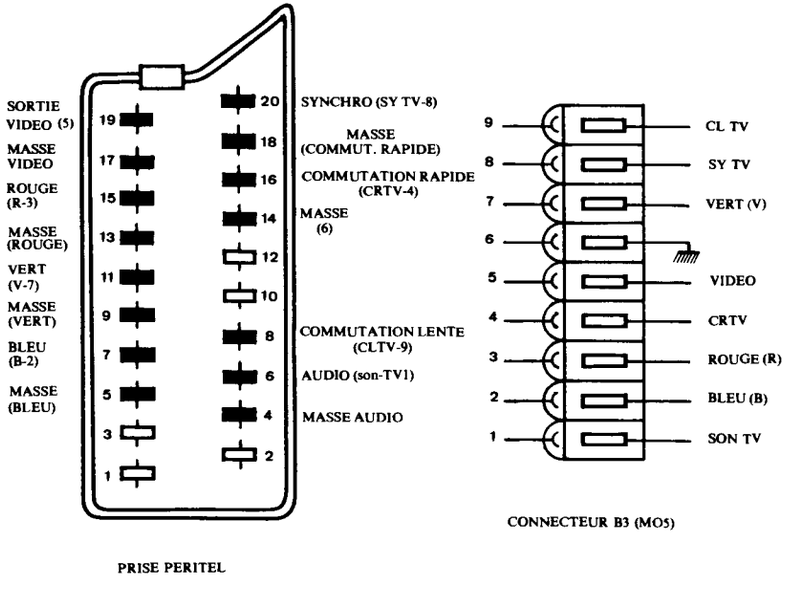


Figure 30
Prise PERITEL et connecteur B3

Remarques générales :
— Toutes les entrées et sorties peuvent être simultanément en fonctionnement
— Tous les signaux d'entrée et de sortie sont définis et mesurés conformément aux publications appropriées du CCIR et de la CEI.

Désignation du signal	Valeur d'adaptation	Numéro du contact	Conditions de mesure et observation
Sortie "AUDIO" A (1) : — monophonie — stéréophonie voie gauche — voie indépendante A	Impédance ≤ 1kΩ (2) Force électromotrice (valeur efficace) nominale Ø,5V (•) minimale Ø,2V (••) maximale 2V	3	(•) pour un facteur de modulation de l'émeteur de 80 % (MA ou MF). (••) pour un facteur de modulation de l'émetteur de 30 % (MA OU MF).
Sortie "AUDIO" B (1) : — voie droite stéréophonie — voie indépendante B	Impédance ≤ 1kΩ Force électromotrice (valeur efficace) nominale Ø,5V (•) minimale Ø,2V (••) maximale 2V	1	(•) pour un facteur de modulation de l'émetteur de 80 % (MA Ou MF). (••) pour un facteur de modulation de l'émetteur de 30 % (MA ou MF).
Entrée "AUDIO" A (1) : - monophonie — stéréophonie voie gauche — voie indépendante A	Impédance ≥ 1ØkΩ (2) Tension (valeur efficace) nominale Ø,5V minimale Ø,2V maximale 2V	6	Impédance de charge pour les mesures : 10kΩ

Figure 31
Nomenclature des signaux vidéo

Désignation du signal	Valeur d'adaptation	Numéro de contact	Conditions de mesure et observation
Entrée "AUDIO" B (1) : — voie droite stéréophonie — voie indépendante B	Impédance ≥ 1ØkΩ (2) Tension (valeur efficace) nominale Ø,5V minimale Ø,2V maximale 2V	2	Impédance de charge pour les mesures : 1ØkΩ.
Masse commune "AUDIO"		4	
Sortie "VIDEO"	Signal vidéo composite : Tension : 1V (tolérance ± 3 dB) (3) différence entre le niveau du blanc et le niveau de synchronisation. Impédance de charge 75 Ω (4) Tension continue superposée comprise entre ØV et +2V. Quand le signal appliqué à ce contact est uniquement un signal de synchronisation, sa tension crête à crête est Ø,3V (−3 + 1ØdB)	19	Vidéo positive
Entrée "VIDEO"	Signal vidéo composite : Tension : 1V (tolérance ± 3 dB) (3) différence entre le niveau du blanc et le niveau de synchronisation. Impédance de charge 75 Ω (4) Tension continue superposée comprise entre ØV et +2V. Quand le signal appliqué à ce contact est uniquement un signal de synchronisation, sa tension crête à crête est Ø,3V (−3 + 1ØdB)	2Ø	Vidéo positive
Masse "VIDEO"		17	

Figure 32
Nomenclature des signaux vidéo (suite)

Désignation du signal	Valeur d'adaptation	Numéro du contact	Conditions de mesure et observation
Composante ROUGE	Différence entre valeur crête et niveau de suppression : Ø,7V (tolérance ± 3dB) (5) Impédance de charge 75Ω. Tension continue superposée comprise entre ØV et +2V.	15	Composante positive.
Masse ROUGE		13	
Composante VERT	Différence entre valeur crête et niveau de suppression : Ø,7V (tolérance ± 3dB) (5) Impédance de charge 75Ω. Tension continue superposée comprise entre ØV et +2V.	11	Composante positive.
Masse VERT		9	
Composante BLEU	Différence entre valeur crête et niveau de suppression : Ø,7V (tolérance ± 3dB) (5) Impédance de charge 75Ω. Tension continue superposée comprise entre ØV et +2V.	7	Composante positive.
Masse BLEU		5	
Sélection de fonction (Commutation lente)	ØV à +2V état logique "zéro" +10V à +12V état logique "un" Résistance d'entrée ≥ 10kΩ Capacité d'entrée ≤ 2nF Pour un récepteur de télévision, l'état logique "Ø" correspond à la réception de télévision diffusée et l'état logique "1" correspond à la péritélévision.	8	Impédance de charge mesure : 10kΩ

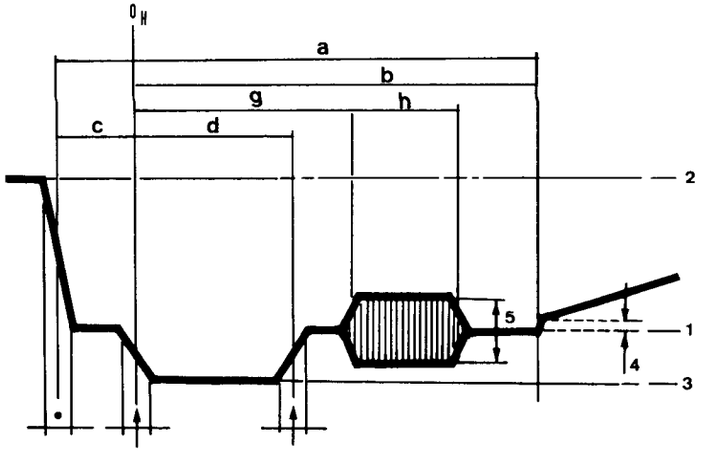
Figure 33
Nomenclature des signaux vidéo (suite)

Désignation du signal	Valeur d'adaptation	Numéro du contact	Mis au potentiel de référence.
Suppression (Commutation rapide)	Øv à +Ø,4V état logique "zéro" (6) +1V à +3V état logique "un" (6) Impédance de charge 75Ω (1) (7)	16	
Masse suppression		18	
Bus de données pour l'intercommunication N° 1	Contact non utilisé (utilisation future à l'étude)	12	
Bus de données pour l'intercommunication N° 2	Contact non utilisé (utilisation future à l'étude)	10	
Masse commune des bus de données pour l'intercommunication		14	
Blindage de la fiche		21	Conditions de mesure et observation

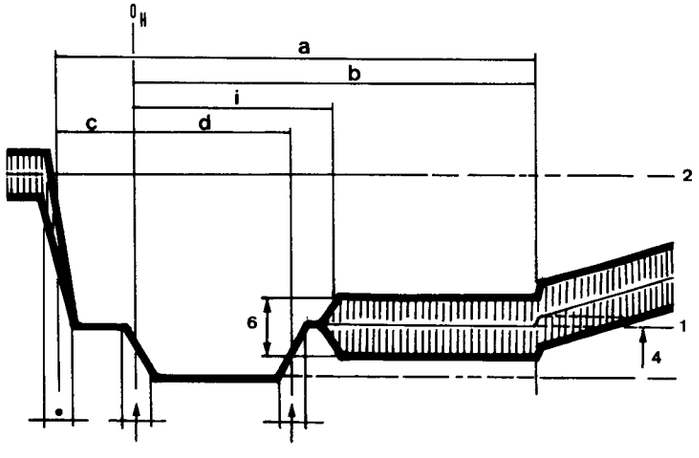
NOTES :

(1) L'existence de divers modes de fonctionnement des circuits audio (mono, stéréo, voies séparées) peut exiger des commutations appropriées dans certains appareils.
(2) Pour des fréquences supérieures ou égales à 20 Hz.
(3) Voir Fig. 1a et 1b. Pour les systèmes de télévision à modulation vidéo positive, la tolérance peut être portée à −3, +6 dB.
(4) Les tensions spécifiées pour l'entrée et la sortie vidéo où une adaptation d'impédance est requise doivent s'entendre comme suit : tension appliquée à une charge de mesure fictive.
(5) Pour des signaux analogiques en mode différentiel l'écart entre deux composantes quelconques ne doit pas dépasser +Ø. Les valeurs de crête des composantes de couleurs primaires sont celles qui produisent un signal de luminance au niveau du blanc.
(6) L'état logique "un" correspond à la suppression.
(7) La bande passante et les temps de transit doivent être adaptés aux signaux R.V.B.

Figure 34
Nomenclature des signaux vidéo (suite)



Système NTSC et PAL



Système SECAM

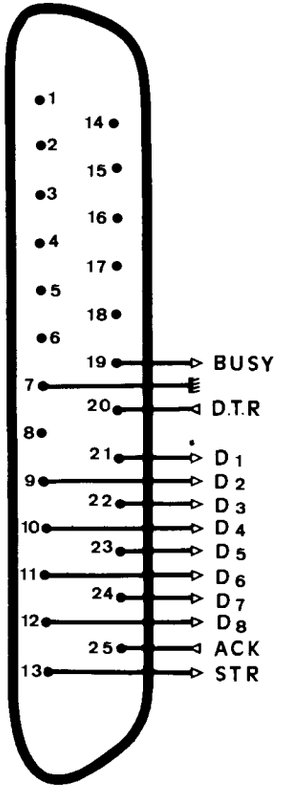
Figure 35
Les niveaux de tension des signaux vidéo

Liaison avec l'imprimante

L'extension communication est encartable sur le bus standard du MO 5. Les entrées/sorties vers les périphériques se font par un connecteur miniature type D 25 broches.

Cette extension permet la liaison avec une imprimante parallèle CENTRONICS. Elle est logée aux adresses :

$A7EØ pour le PORTA (et le DDRA)
$A7E1 pour le PORTB (et le DDRB)
$A7E2 pour le CRA
$A7E3 pour le CRB



Parallèle

19. BUSY
20. Data terminal Ready
21. Data 1
9. Data 2
22. Data 3
10. Data 4
23. Data 5
11. Data 6
24. Data 7
12. Data 8
25. Acknowledge
13. Strobe

Figure 36
La prise extension interface parallèle CENTRONICS

L'extension jeux et musique

Cette extension qui utilise un PIA 6821 est logée aux adresses suivantes :

$A7CC pour le PORTA (et le DDRA)
$A7CD pour le PORTB (et le DDRB)
$A7CE pour le CRA
$A7CF pour le CRB.

Cette interface a un double rôle :

1. Gérer les deux manettes de jeux branchées sur les connecteurs 6 broches dont le schéma est donné ci-dessous :

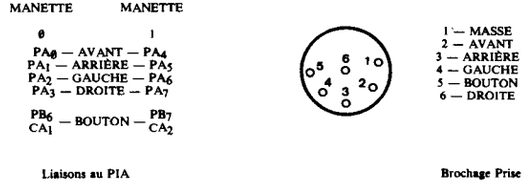


Figure 37
Connecteur manettes de jeux

C'est le rôle du PORTA et des bits B6 et B7, tous programmés en entrée, que de permettre cette gestion, ainsi que des deux entrées d'interruption CA1 et CA2.

2. Synthétiser des sons à l'aide d'un convertisseur numérique/analogique (CNA) réalisé avec les 6 bits restants du PORTB, de BØ à B5, programmés en sorties et bufferisés, et d'un circuit de conversion du type R/2R dont la sortie filtrée est reliée à la ligne SON du connecteur standard.

Le niveau de tension maximum sur cette sortie est de 450 mV.

ATTENTION : à la mise sous tension, les deux PORTS du PIA sont programmés en entrées ; il faut donc commencer tout programme

par l'initialisation en sorties des bits BØ à B5 du PORTB. Soit par exemple en assembleur :

```
CLR     $A7CF       Mise à Ø du CRB2 → Accès à DDRB
LDD  #  $3FØ4
STA     $A7CD       BØ à B5 en sorties
STB     $A7CF       Mise à 1 du CRB2 → Accès au PORTB
```

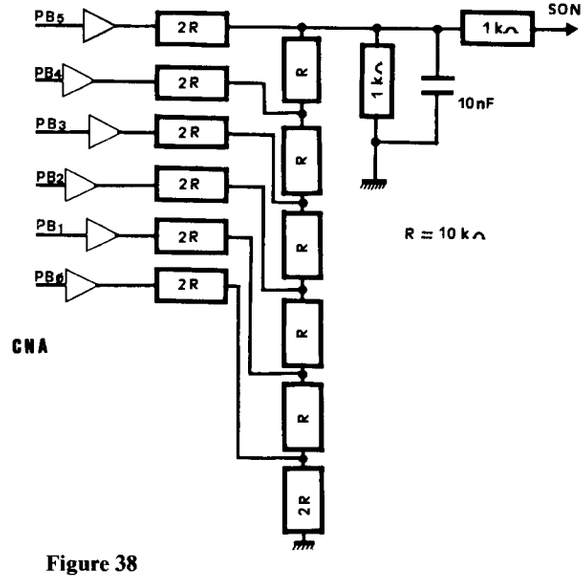


Figure 38
Le convertisseur numérique/analogique

1. Principe de fonctionnement des manettes
A l'intérieur de chaque manette sont placés quatre interrupteurs de position, plus un interrupteur de commande.
Au repos, tous ces interrupteurs sont ouverts et les entrées sont donc au "1" logique.
Si un interrupteur est actionné, il se ferme et l'entrée correspondante passe alors au "Ø" logique, car l'interrupteur est relié à la masse (borne 1).
Les 4 bits d'une manette (par exemple la manette Ø) fournissent donc les codes suivants :

Les 4 bits d'une manette (par exemple la manette Ø) fournissent donc les codes suivants :

BASIC	A_3	A_2	A_1	$A_Ø$	POSITION
Ø	1	1	1	1	REPOS
1	1	1	1	Ø	AVANT
5	1	1	1	Ø	ARRIÈRE
3	Ø	1	1	1	DROITE
7	1	Ø	1	1	GAUCHE
2	Ø	1	1	Ø	AVANT & DROITE
8	1	Ø	1	Ø	AVANT & GAUCHE
4	Ø	1	Ø	1	ARRIÈRE & DROITE
6	1	Ø	Ø	1	ARRIÈRE & GAUCHE

Pour le Basic, les positions de la manette sont codées de Ø à 8, Ø correspond à l'état neutre (repos), les valeurs de 1 à 8 correspondent aux positions NORD, NORD-EST, EST, etc. C'est-à-dire à la rotation dans le sens horaire (voir fig. 3).

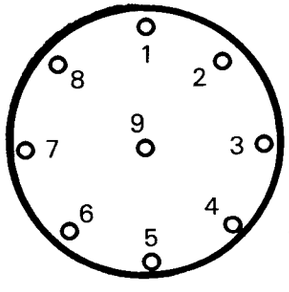


Figure 39
Code BASIC d'une manette jeu

De la même façon, si l'interrupteur de commande de la manette Ø n'est pas actionné alors l'entrée bit 6 du PORTB est à 1, sinon ce bit passe à Ø.
Le programme moniteur JOYST implanté en &HE827 a pour objet de fournir (par l'accumulateur B) le code BASIC de la position de la manette dont le numéro lui aura été passé (par l'accumulateur A), ainsi que l'état du bouton de commande (par bit de CARRY du CCR).
Le bouton de commande est codé comme suit :
Si C = Ø → la gachette est au repos.
Si C = 1 → la gachette est enfoncée.

On peut éventuellement faire fonctionner la gachette en mode interruption puisque B6 et CA1 d'une part et, B7 et CA2, d'autre part sont reliés.
Dans ce cas le logiciel doit être créé par l'utilisateur.

Principe de fonctionnement du convertisseur

Calcul de l'influence d'un bit

supposons que seul le bit B5 soit à 1, et appelons VM la tension en sortie du buffer correspondant.
Dans ce cas le schéma équivalent du convertisseur est le suivant :

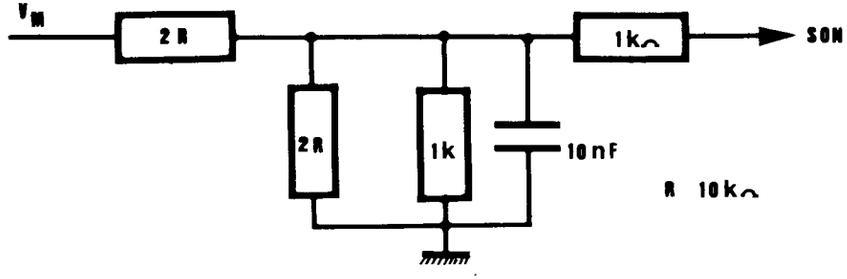


Figure 40
BIT 5 = "1" et autres BIT à "0"

Dans ce cas la tension sur la sortie SON n'est que de Ø,Ø45. VM. On peut calculer de la même façon la tension en sortie si seul le bit B4 est à "1" → SON = Ø,Ø23. VM soit la moitié de la tension créée par B5.
On voit donc que la tension sur la sortie SON est proportionnelle au poids du BIT à "1".
Si plusieurs BITS sont à "1" simultanément, la tension SON sera égale à la somme des tensions propres à chaque bit. Exemple, si B5 et B4 sont seuls à 1, la tension SON vaudra (Ø,Ø45 + Ø,Ø23). VM = Ø,Ø68 VM.
La tension maximum en sortie sera donc d'environ Ø,Ø9 VM soit 450 mV puisque VM est au maximum égale à 5 volts.

Méthode de synthèse d'un son

a) Échantillonnage

Soit le son pur sinusoïdal ci-dessous :

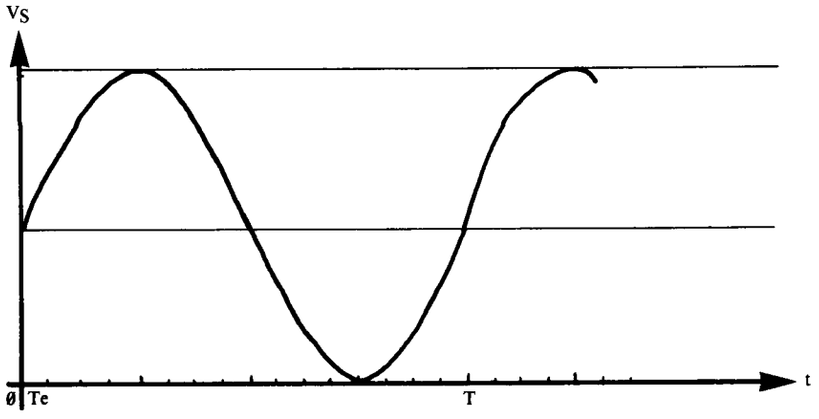


Figure 41
Signal réel

Échantillonner ce signal consiste à mesurer des "échantillons" de tension à des intervalles de temps égaux (période d'échantillonnage). Si l'on échantillonne avec une période Te = T/12 le signal échantillonné est alors le suivant :

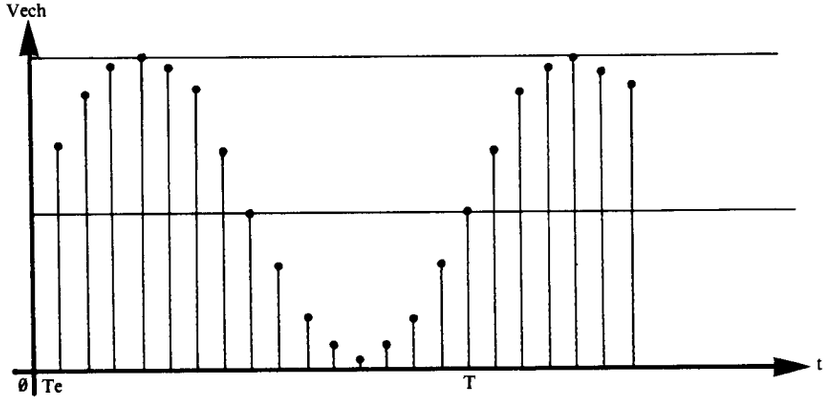


Figure 42
Signal échantillonné

b) Échantillonnage-blocage

Si on maintient la valeur échantillonnée entre deux prises d'échantillon, on bloque l'échantillon, et le signal correspondant a alors l'allure suivante : (1027)

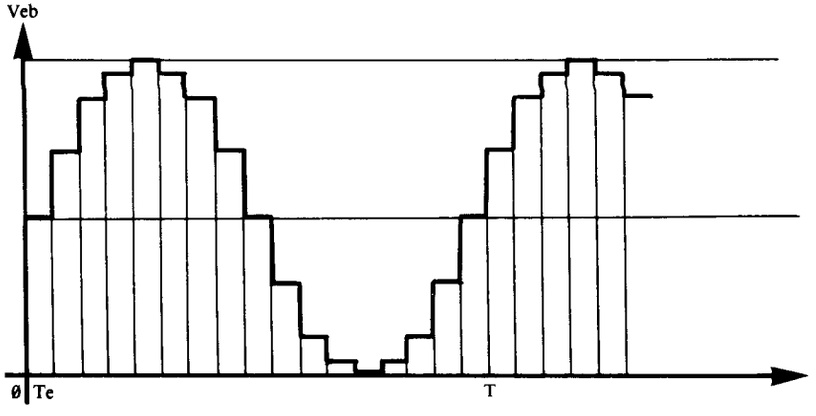


Figure 43
Signal échantillonné bloqué

c) Synthèse

Si l'on veut "fabriquer" un signal approché du signal réel de la figure 83, il suffit de ranger dans une table binaire (6 bits dans le cas présent) des mots dont la valeur est proportionnelle aux échantillons.

Puis avec une fréquence fe = 1/Te, on envoie ces mots binaires dans le convertisseur N/A qui fabrique alors une tension SON proportionnelle aux échantillons successifs.

Entre deux échantillons, le précédent est maintenu en sortie et même légèrement intégré.

On reconstituera d'autant mieux un son que le nombre d'échantillons sera grand.

On peut faire varier la fréquence d'un son en augmentant ou en diminuant l'intervalle de temps séparant deux échantillons.

Logiciel de synthèse

Le logiciel de synthèse d'un son suivra l'ordinogramme ci-dessous.

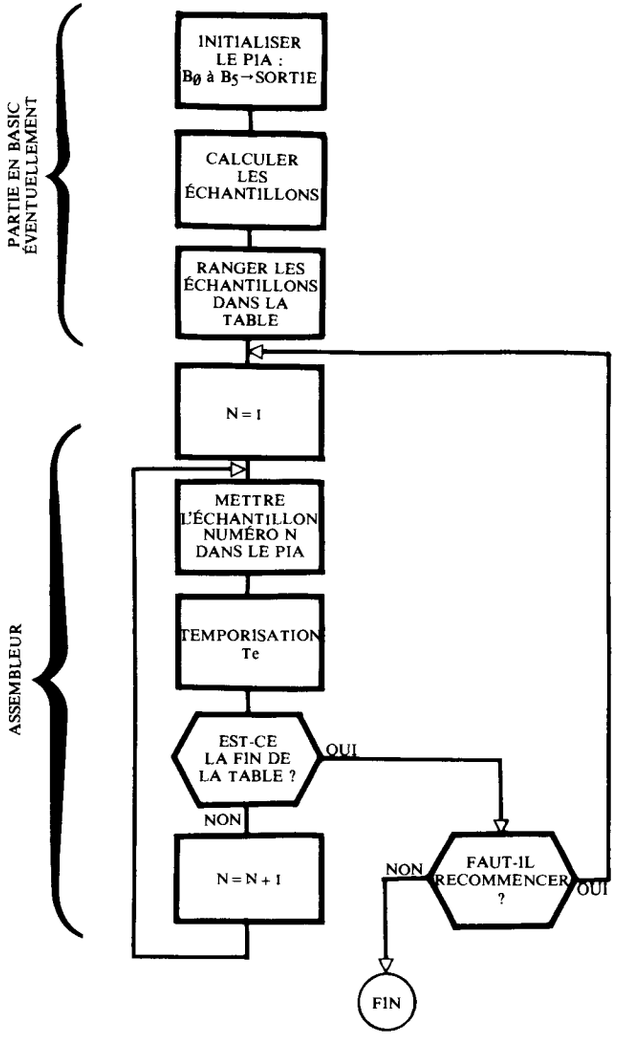


Figure 44
Organigramme de synthèse

La partie de calcul peut éventuellement être réalisée en BASIC (voir programme ci-joint), mais pour plus de souplesse, il est conseillé de réaliser la partie de synthèse proprement dite en assembleur (voir programme ci-joint).

Programme de synthèse d'un son sinusoïdal

```
10 '     ************************
20 '     *                      *
30 '     * PROGRAMME DE SYNTHESE *
40 '     *  D'UN SON SINUSOIDAL  *
50 '     *                      *
60 '     ************************
70 '
80 '
90 '
100 '------------INITIALISATION--------
110 '
120 SCREEN2,4,4:CONSOLE0,24:CLS
130 LOCATE0,0,0:PRINT" **  SYNTHESE D'UN SON SINUSOIDAL
**"
140 CLEAR,&H5FFF
150 DIM ECH(255)
160 '
170 '--------INIT. DU PIA------------
180 '
190 POKE &HA7CF,0     'Acces a DDRB
200 POKE &HA7CD,&H3F 'B0 a B5 en SORTIE
210 POKE &HA7CF,&H04 'Acces au PORTB
220 '
230 '-----ROUTINE ASSEMBLEUR----------
240 '
250 FOR I=0 TO 49
260     READ D
270     POKE &H6000+I,D
280     NEXTI
290 '
300 DATA &H34,&H7E
310 DATA &H1A,&H10
320 DATA &HFC,&H60,&H52
330 DATA &HF3,&H60,&H54
340 DATA &HFD,&H60,&H56
350 DATA &HBE,&H60,&H52
360 DATA &HF6,&H60,&H51
370 DATA &H30,&H85
380 DATA &HA6,&H84
390 DATA &HB7,&HA7,&HCD
400 DATA &HB6,&H60,&H50
410 DATA &H4A
420 DATA &H26,&HFD
430 DATA &HBC,&H60,&H56
440 DATA &H2D,&HEE
```

```
450 DATA &H1F,&H10
460 DATA &HB3,&H60,&H54
470 DATA &H3F,&H0C
480 DATA &H27,&HDF
490 DATA &H1C,&HEF
500 DATA &H35,&HFE
510 '
520 '------CALCUL DES ECHANTILLONS---
530 '
540 CONSOLE15,24:CLS:LOCATE0,15,0
550 INPUT"NOMBRE D'ECHANTILLONS (255 MAX) : ",NE
560 INPUT"TEMPORISATION (de 0 a 255) : ",TE
570 INPUT "PAS DE PRELEVEMENT : ",PAS
580 PRINT:PRINT:COLOR1:ATTRB1,1:PRINT"SILENCE, JE CALCUL
E":COLOR2:ATTRB0,0
590 POKE &H6050,TE     'Duree de Tempo
600 POKE &H6051,PAS    'Pas d'echantill
610 POKE &H6052,&H70   'Debut de la tabl
620 POKE &H6053,&H00   'd'echantillonage
630 POKE &H6054,NE @ 256       'Nombre
640 POKE &H6055,NE MOD 256     'd'echant
650 CONSOLE2,12:CLS:LOCATE0,2,0
660 LINE(0,16)-(0,100),6
670 LINE(0,100)-(320,100),6
680 LOCATE1,2:PRINTCHR$(24);"Vs=";X$;:LOCATE39,11:PRINT"
t";
690 W=6.28
700 FOR I=0 TO NE-1
710     ECH(I) = 31+31*SIN(W*I/NE)
720     POKE &H7000+I,ECH(I)
730     NEXTI
740 FOR I=0 TO NE-1 STEP PAS
750     FOR J=0 TO PAS-1
760     PSET(I+J,100-ECH(I))
770 NEXTJ,I
780 '
790 '-------SYNTHESE D'UN SON----------
800 '
810 EXEC &H6000
820 FOR N=1 TO 100 :NEXTN
830 GOTO 540
840 END
```


Routine d'envoi des échantillons dans le PORTB du PIA

```
*****************************************
*                                       *
*   ROUTINE D'ENVOI DES ECHANTILLONS    *
*                                       *
*        DANS LE PORTB DU PIA           *
*                                       *
*                                       *
*   ENTREES :                           *
*                                       *
*    $6050 = Durée de la temporisation  *
*    $6051 = Pas d'échantillonage       *
*    $6052 = Début de la table          *
*    $6054 = Nombre d'échantillons      *
*                                       *
*                                       *
*   SORTIES :                           *
*                                       *
*    $6056 = Fin de la table            *
*                                       *
*                                       *
*   PORTB en $A7CD                      *
*                                       *
*                                       *
*                                       *
*****************************************
```

```
A7CD PORTB2 EQU    $A7CD

6000                ORG    $6000


6000 34   7E          PSHS   U,Y,X,DP,B,A
6002 1A   10          ORCC   #$10
6004 FC   6052        LDD    $6052
6007 F3   6054        ADDD   $6054
600A FD   6056        STD    $6056
600D BE   6052 BOUC0  LDX    $6052
6010 F6   6051        LDB    $6051

6013 30   85   BOUC1  LEAX   B,X
6015 A6   84          LDA    ,X
6017 B7   A7CD        STA    PORTB2
601A B6   6050        LDA    $6050
```

```
601D 4A          BOUC2  DECA
601E 26  FD             BNE     BOUC2
6020 BC  6056           CMPX    $6056
6023 2D  EE             BLT     BOUC1
6025 1F  10             TFR     X,D
6027 B3  6054           SUBD    $6054
602A 3F                 SWI
602B     0C             FCB     $0C
602C 27  DF             BEQ     BOUC0
602E 1C  EF             ANDCC   #$EF
6030 35  FE             PULS    A,B,DP,X,Y,U,PC


         0000           END

00000 Total Errors
```

```
BOUC0    600D
BOUC1    6013
BOUC2    601D
PORTB2   A7CD
```

C'est ce programme assembleur qui est rentré en $6000 à l'aide de l'instruction POKE &H6000+I,D et appelé ensuite par EXEC &H6000. Pour générer d'autres types de sons, il suffit de changer à la ligne 710 la formule de calcul des échantillons.

Chapitre III.

Le moniteur

La carte mémoire

ADRESSES (hexadécimal)	Taille	Contenu
0000 - 1FFF	8K	Mémoire d'écran
2000 - 20FF	256	Page zéro du moniteur
2100 - 21FF	256	Page zéro du BASIC
2200 - 9FFF	32K	Mémoire utilisateur
A000 - A7BF	1,9K	Mémoire du floppy
A7C0 - A7C3		PIA 6821 système
A7C4 - A7CB		Libre...
A7CC - A7CF		PIA 6821 extension jeux
A7D0 - A7DF		Contrôleur mini-floppy
A7E0 - A7E3		PIA 6821 interface parallèle
A7E4 - A7E7		Gate-Array
A7E8 - A7FF		Libre...
A800 - AFFF	2K	Libre...
B000 - EFFF	16K	Cartouche ROM
C000 - EFFF	12K	BASIC (libre de B000 à BFFF)
F000 - FFFF	4K	Moniteur

La page zéro du moniteur

NOM de registre	Adresse	Fonction
STATUS	$2019	b3 : masque le buzzer.
RANG	$201B	N° ligne du curseur.
COLN	$201C	N° colonne du curseur.
TOPRAN	$201E	N° de la 1ere ligne de la fenêtre.
BOTRAN	$2020	N° de la dernière ligne de la fenêtre.
FORME	$2029	Registre couleur pour PLOT et DRAW (-16 à +15).
COLOUR	$202B	Registre couleur PBVR PBVR.
COPCHR	$202F	
CHDRAW	$2036	Contient le code ASCII du caractère pour PLOT ou DRAW.
TEMPO	$2039 - $203A	Tempo général du générateur musical (1 à 255).
DURÉE	$203B - $203C	Longueur de la note (1 à 96).
TIMBRE	$203D	Attaque de la note, du continu 0 au max. 255.
OCTAVE	$203E - $203F	Octave (1 à 16).
PR.OPC	$2042	Code de commande pour le contrôleur d'imprimante.
PR.STA	$2043	État courant du contrôleur d'imprimante.
DK.OPC	$2048	Code de commande pour le contrôleur de disquette.
DK.DRV	$2049	Numéro du drive.
DK.TRK	$204A - $204B	Numéro du secteur.
DK.SEC	$204C	Facteur de saut pour la numérotation des secteurs.
DK.NUM	$204D	État courant du contrôleur de disquette.
DK.STA	$204E	Pointeur du buffer d'E/S de la disquette.
DK.BUF	$204F - $2050	Pointeur d'interruption software SWI.
SWI1PT	$205E - $2060	Pointeur et flag de la temporisation d'interruption utilisateur.
TIMEPT	$2061 - $2063	Pointeur et flag du l'interruption $\overline{\text{IRQ}}$.
IRQPT	$2064 - $2066	Pointeur et flag de l'interruption $\overline{\text{FIRQ}}$.
FIRQPT	$2067 - $2069	Pointeur et flag de la table des points d'entrée moniteur.
SIMUL	$206A - $206C	Pointeur et flag de la table de décodage du clavier.
CHRPTR	$206D - $206F	Pointeur et flag du générateur de caractères utilisateur.
USERAF	$2070 - $2072	Pointeur et flag du générateur de caractères.
GENPTR	$2073 - $2075	

Fin de la zone de réinitialisation "départ à chaud"		
LATCLV	$2076	Latence du clavier.
CRCODE	$2077	Mot de code pour copie graphique de l'écran.
Fin de la zone de réinitialisation "départ à froid"		
DEFDST	$207F	Indicateur de simple ou double densité.
DKFLG	$2080	Indicateur de présence du contrôleur de disque.

Les sous-programmes

1 - Accès à un sous-programme du moniteur

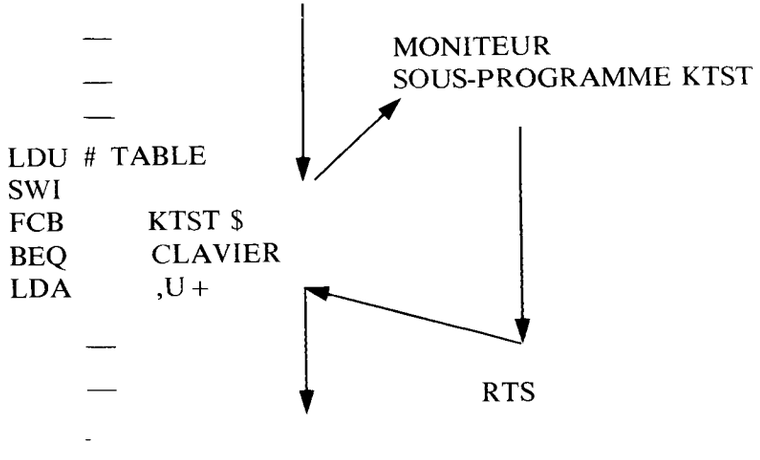
L'accès à un sous-programme du moniteur se fait grâce à une interruption programmée SWI suivie d'un code indiquant le sous-programme sélectionné.

Les codes peuvent appartenir à deux catégories, les CODE $ ou les CODE.

Si un code est du type CODE $, sa valeur numérique est comprise entre $ØØ et $3A. Dans ce cas, l'interruption SWI CODE $ est équivalente à une instruction JSR (Jump to Subroutine) de saut vers le sous-programme de nom CODE $. Ce sous-programme se terminant par une instruction de retour vers le programme principal, RTS, il renverra le 68Ø9 traiter l'instruction qui suit SWI CODE $.

Exemple : Dans le programme principal on souhaite appeler le sous-programme de test rapide du clavier. Ce sous-programme KEY-TEST (en abrégé KTST) a pour code KTST $ = $ØC. On aura donc la structure de fonctionnement suivante :

PROGRAMME PRINCIPAL



Si un code est du type CODE.,sa valeur numérique est comprise en $8Ø et $BA. La distinction par rapport au CODE $ est faite en portant le bit 7 à 1 dans la valeur numérique du CODE. alors que ce bit 7 est à Ø dans le CODE $. Les autres bits sont inchangés.

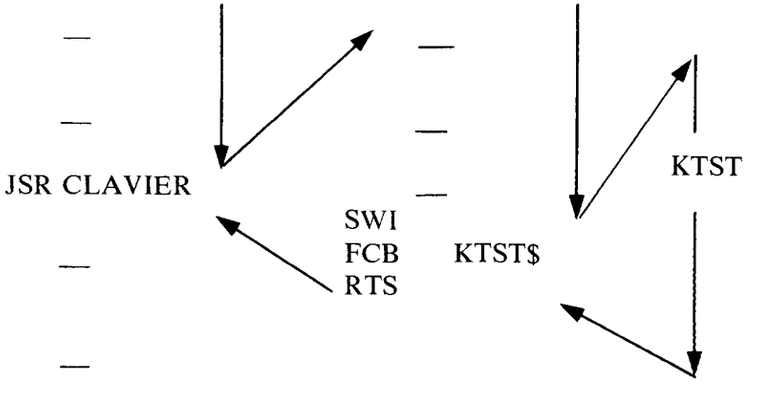
Exemple :

NOM du SOUS-PROGRAMME	CODE $	CODE.
KTST	KTST$ = $ØC	KTST. = $8C

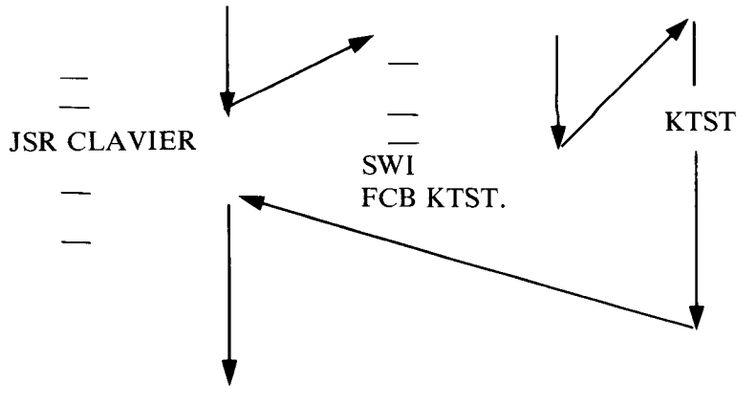
Dans un code de ce type, l'interruption SWI CODE. est équivalente à un JMP (Jump), saut sans attente d'instruction de retour de sous-programme (RTS). Le sous-programme du moniteur se terminant comme précédemment par une instruction de retour RTS renverra donc le 68Ø9 à l'instruction suivant le dernier appel de sous-programme.
Cette procédure simplifiera, dans certains cas l'écriture des programmes. C'est le cas de l'exemple 2 ci-après qui réalise la même fonction que l'exemple 1 ci-joint :

Exemple 1 :

PROGRAMME PRINCIPAL SOUS-PROGRAMME MONITEUR



Exemple 2 :



Que l'on utilise la procédure CODE $ ou CODE., l'instruction d'appel est dans les deux cas une interruption logicielle SWI. Donc, dans tous les cas tous les registres sont sauvegardés sur la pile. D'autre part, le registre de page directe DP est mis à la valeur $2Ø (page zéro du moniteur) et le registre d'index U est chargé avec l'adresse du PIA système, $A7CØ.
Au retour du sous-programme moniteur, tous les registres, sont "restorés" par dépilage à l'exception du registre code condition CCR et de ceux des registres contenant le résultat de l'opération réalisée par le sous-programme moniteur, c'est-à-dire B, X ou Y.

Il est vivement conseillé d'utiliser l'une des deux procédures ci-dessus pour appeler une routine du moniteur. En effet, celle-ci supposera dans son fonctionnement que tous les registres sont sur la pile, et que DP et U sont correctement initialisés.

Les valeurs numériques des CODE $ sont données dans le tableau ci-contre. On obtient celles de CODE. en leur ajoutant $8Ø.

NOM du SOUS-PROGRAMME	VALEUR NUMÉRIQUE DU CODE $	FONCTION
MENU	Ø	Retour au menu MO 5.
PUTC	2	Gestion de l'écran.
FRMØ	4	Mémoire couleur.
FRM1	6	Mémoire caractère.
BIIP	8	Gestion du buzzer.
GETC	$ØA	Lecture du clavier.
KTST	$ØC	Lecture rapide du clavier.
DRAW	$ØE	Tracé d'une ligne
PLOT	$1Ø	Gestion du point graphique ou de la case caractère.
CHPL	$12	Affichage d'un caractère.
GETP	$14	Lecture de la couleur d'un point de l'écran.
LPIN	$16	Test de l'interrupteur du crayon optique.
GETL	$18	Lecture des coordonnées visées par le crayon.
GETS	$1A	Lecture de l'écran.
JOYS	$1C	Gestion des manettes.
NOTE	$1E	Gestion des notes.
K7CO	$2Ø	Gestion des cassettes.
K7MO	$22	Gestion du moteur du LEP
PRCO	$24	Gestion du l'imprimante.
DKCO	$26	Gestion du lecteur de disquettes.

2 - Redéfinition des pointeurs système

Les pointeurs utilisés par le moniteur sont des registres à 3 octets situés dans la page zéro du moniteur de $2000 à $20FF.

Ces registres doivent être manipulés avec précaution. Les deux premiers octets contiennent l'adresse soit d'une table, soit d'un sous-programme de gestion d'une interruption et le troisième octet contient un indicateur (FLAG).

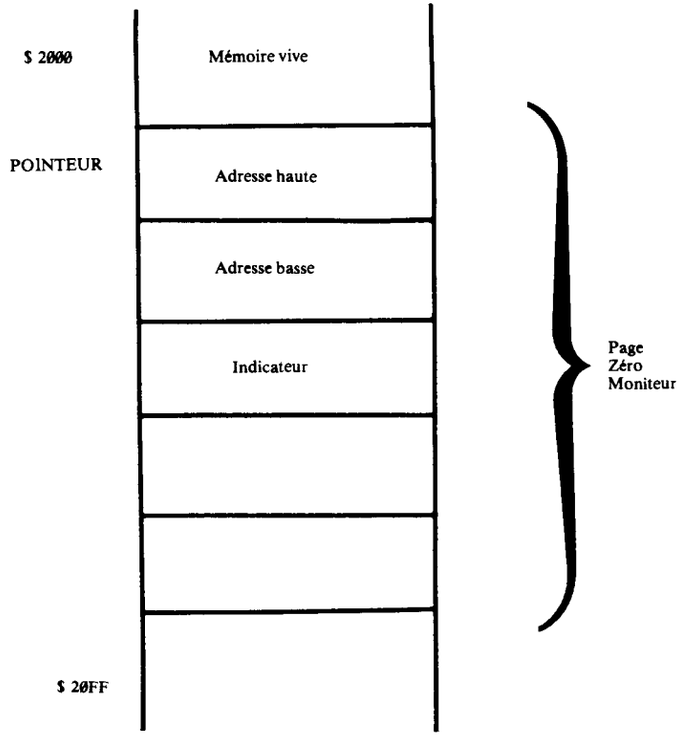


Figure 45
Occupation mémoire d'un pointeur

Cet indicateur doit contenir :
- La valeur Ø si le pointeur contient l'adresse standard.

- La valeur 1 si le pointeur contient une adresse définie par l'utilisateur.

C'est l'utilisateur qui doit mettre l'indicateur à 1 s'il change l'adresse du pointeur, et qui doit le remettre à Ø s'il restaure l'adresse standard.

Les pointeurs sont les suivants :
SWI1PT, TIMEPT, IRQPT, FIRQPT, SIMUL, CHRPTR, USERAF et GENPTR (voir leur adresse au chapitre 4.2).

3 - Gestion de tables

La mémoire du MO 5 est divisé en segments de 2K octets depuis l'origine $0000. Ces segments sont donc :

$0000 à $07FF Segment n° 1
$0800 à $0FFF Segment n° 2
$1000 à $17FF Segment n° 3
$1800 à $1FFF Segment n° 4
...etc.

Les tables utilisées dans certaines applications doivent toujours être contenues dans un seul et même segment de 2 Koctets.

Leur taille maximum est donc de 2 Koctets, et elles ne doivent en aucun cas être "à cheval" sur des segments différents.

Exemple : une table située de $154A à $182E n'est pas trop longue mais chevauche les segments n° 3 et n° 4, ce qui est interdit.

4 - Le fonctionnement des principaux sous-programmes

* PLOT	Entrées : X, Y (6809) FORME, CHDRAW, COLOUR (page Ø)

En mode graphique, allume le point X, Y de couleur FORME si CHDRAW = $00.

En mode caractère, écrit en X, Y le caractère dont le code ASCII est dans CHDRAW avec les couleurs définies par COLOUR.

* DRAW	Entrées : X, Y (6809) PLOTX, PLOTY, CHDRAW, FORME, COLOUR (page Ø).

En mode graphique, tire un trait de (PLOTX, PLOTY) à (X, Y) dans la couleur définie par FORME avec CHDRAW à Ø.

En mode caractère, tire une ligne de caractères.

[* GETP] Entrées : X, A (68Ø9)
Sortie : B
Met dans B le code ASCII du caractère situé en (X, A).

[* PUTCH] Entrée : B
Affiche dans la position courante le caractère dont le code ASCII est dans B, puis avance d'une case.
Pour les GR$, il faut initialiser le pointeur USERAF.

Cette routine permet également l'initialisation de l'écran.

[* KTST] Sorties : CCR, B (68Ø9).
Si une touche du clavier est enfoncée, met le bit 7 du CCR à Ø.
B revient alors avec le code ASCII du caractère.

[* GETC] Sorties : CCR, B (68Ø9).
Cette fois B peut contenir le code BASIC en utilisation de cette fonction.

[* JOYST] Entrée : A (68Ø9).
Sortie : B, CCR (68Ø9).

Met dans B la position numérique de la manette dont le numéro est dans A.

Si le bouton de cette manette est enfoncé, le bit C du CCR est mis à Ø.

[* PRCO] Entrée : B (68Ø9) PROPC, GRCODE (page Ø).
Sortie : CCR (68Ø9) PR. STA (page Ø).

PR. OPC = 1 → Écriture d'un octet
= 2 → Copie graphique de l'écran
= 4 → Ouverture mode parallèle
= 16 → Fermeture

Envoie vers l'imprimante l'octet dont le code ASCII est dans B.

* NOTE Entrée : B (68Ø9) OCTAVE, DURÉE, TEMPO, TIMBRE (page Ø).

Joue la note dont la valeur est dans B en respectant les valeurs des registres OCTAVE,...
Les notes sont :

PAUSE = $3Ø
DO = $31
DO# = $32
⋮
SI = $3C

[* LPIN] Sortie : CCR (68Ø9).
C est mis à 1 si le bouton du crayon optique est enfoncé.

[* GETL] Sortie : X, Y (68Ø9).
Passe dans X, Y les coordonnées pointées par le crayon optique.

5 - Quelques applications

Pour terminer voici deux programmes en assembleur qui vous permettront de créer des BRUITS dans le convertisseur de l'extension jeux. Dans le deuxième programme, on module la fréquence en ajoutant au registre DURÉE à chaque passage.

En changeant le contenu de la table, on peut changer le bruit.

```
*****************************************
*                                       *
*   PROGRAMME DE CREATION DE BRUITS     *
*                                       *
*        DANS LE CONVERTISSEUR          *
*                                       *
*                                       *
*   ENTREES :                           *
*                                       *
*    DUREE = Duree de la temporisation  *
*    PAS   = Pas d'echantillonage       *
*    TABLE = Debut de la table          *
*    NBR   = Nombre d'echantillons      *
*                                       *
*   SORTIES :                           *
*                                       *
*    FINTA = Fin de la table            *
*                                       *
*   PORTB2 en $A7CD                     *
*                                       *
*                                       *
*****************************************
```

```
A7CD PORTB2 EQU    $A7CD
A7CD DDRB2  EQU    $A7CD
A7CF CRB2   EQU    $A7CF

7000                ORG    $7000

                    *
                    *      Initialisation du PIA
                    *

7000 5F
7001 F7   A7CF      CLR    CRB2     Mise a 0 du CRB2
7004 CC   3F04      LDD    #$3F04
7007 B7   A7CD      STA    DDRB2    B0 a B5 en sorties
700A F7   A7CF      STB    CRB2     Acces au PORTB
```



```
                    *
                    *      Creation du bruit
                    *

700D 34   7E        PSHS   U,Y,X,DP,B,A   On sauve
700F 1A   10        ORCC   #$10     Ne pas interrompre

7011 8E   7033 BOUC0  LDX    #TABLE   On pointe
7014 F6   7031        LDB    PAS      Pas de lecture

7017 A6   84    BOUC1 LDA    ,X       Lire une valeur
7019 30   85          LEAX   B,X      Pointer la suivant
701B B7   A7CD        STA    PORTB2   Envoyer en sortie
701E 10BE 702F        LDY    DUREE    Debut de tempo.

7022 31   3F    BOUC2 LEAY   -1,Y
7024 26   FC          BNE    BOUC2    Fin de tempo
7026 8C   704B        CMPX   #FINTA+1  Fin de Table?
7029 2D   EC          BLT    BOUC1    Non, alors boucler
702B 20   E4          BRA    BOUC0    Non, alors boucler

702D 35   FE        PULS   A,B,DP,X,Y,U,PC

                    *
                    *      Initialisation de la table
                    *

702F      0070 DUREE  FDB    $0070
7031      01   PAS    FCB    1
7032      18   NBR    FCB    24

7033      00   TABLE  FCB    0
7034      05          FCB    5
7035      0A          FCB    10
7036      0F          FCB    15
7037      15          FCB    21
7038      1A          FCB    26
7039      1F          FCB    31
703A      24          FCB    36
703B      2A          FCB    42
703C      2F          FCB    47
703D      34          FCB    52
703E      39          FCB    57
703F      3F          FCB    63
```

```
7040    39          FCB   57
7041    34          FCB   52
7042    2F          FCB   47
7043    2A          FCB   42
7044    24          FCB   36
7045    1F          FCB   31
7046    1A          FCB   26
7047    15          FCB   21
7048    0F          FCB   15
7049    0A          FCB   10
704A    05   FINTA  FCB   5

        0000        END

00000 Total Errors
```

```
BOUC0   7011
BOUC1   7017
BOUC2   7022
CRB2    A7CF
DDRB2   A7CD
DUREE   702F
FINTA   704A
NBR     7032
PAS     7031
PORTB2  A7CD
TABLE   7033
```



```
*****************************************
*                                       *
*   PROGRAMME DE CREATION DE BRUITS     *
*                                       *
*        DANS LE CONVERTISSEUR          *
*                                       *
*                                       *
*   ENTREES :                           *
*                                       *
*    DUREE = Duree de la temporisation  *
*    PAS   = Pas d'echantillonage       *
*    TABLE = Debut de la table          *
*    NBR   = Nombre d'echantillons      *
*                                       *
*                                       *
*   SORTIES :                           *
*                                       *
*    FINTA = Fin de la table            *
*                                       *
*                                       *
*   PORTB2 en $A7CD                     *
*                                       *
*                                       *
*****************************************
```

```
A7CD PORTB2 EQU   $A7CD
A7CD DDRB2  EQU   $A7CD
A7CF CRB2   EQU   $A7CF

7000                ORG   $7000

                    *
                    *     Initialisation du PIA
                    *

7000 5F
7001 F7   A7CF      CLR   CRB2    Mise a 0 du CRB2
7004 CC   3F04      LDD   #$3F04
7007 B7   A7CD      STA   DDRB2   B0 a B5 en sorties
700A F7   A7CF      STB   CRB2    Acces au PORTB

                    *
                    *     Creation du bruit
                    *
```

```
700D 34   7E          PSHS   U,Y,X,DP,B,A   On sauve
700F 1A   10          ORCC   #$10     Ne pas interrompre

7011 8E   7040 BOUC0  LDX    #TABLE   On pointe
7014 F6   703E        LDB    PAS      Pas de lecture
7017 A6   84   BOUC1  LDA    ,X       Lire une valeur
7019 30   85          LEAX   B,X      Pointer la suivant
701B B7   A7CD        STA    PORTB2   Envoyer en sortie
701E 10BE 703C        LDY    DUREE    Debut de tempo.

7022 31   3F   BOUC2  LEAY   -1,Y
7024 26   FC         BNE    BOUC2    Fin de tempo
7026 8C   7058       CMPX   #FINTA+1  Fin de Table?
7029 2D   EC         BLT    BOUC1    Non, alors boucler
702B 7A   703D       DEC    DUREE+1
702E 26   E1         BNE    BOUC0    Boucler
7030 108E 0100       LDY    #$0100
7034 10BF 703C       STY    DUREE
7038 20   D7         BRA    BOUC0

703A 35   FE         PULS   A,B,DP,X,Y,U,PC
                *
                *    Initialisation de la table
                *

703C      0100 DUREE  FDB    $0100
703E      01   PAS    FCB    1
703F      18   NBR    FCB    24

7040      00   TABLE  FCB    0
7041      05         FCB    5
7042      0A         FCB    10
7043      0F         FCB    15
7044      15         FCB    21
7045      1A         FCB    26
7046      1F         FCB    31
7047      24         FCB    36
7048      2A         FCB    42
7049      2F         FCB    47
704A      34         FCB    52
704B      39         FCB    57
704C      3F         FCB    63
704D      39         FCB    57
704E      34         FCB    52
704F      2F         FCB    47
7050      2A         FCB    42
```



```
7051      24         FCB    36
7052      1F         FCB    31
7053      1A         FCB    26
7054      15         FCB    21
7055      0F         FCB    15
7056      0A         FCB    10
7057      05   FINTA FCB    5

          0000       END

00000 Total Errors
```

Annexe

Les circuits

Les circuits logiques

74LS74
Double bascule

Description

Le '74 est une double bascule type D avec Set, Reset et sorties complémentaires Q et $\overline{Q}$.

Les entrées Set et Reset sont actives au niveau BAS et fonctionnent indépendamment de l'entrée d'horloge.

Les informations présentes sur les entrées D sont transférées sur les sorties Q sur le **front montant** de l'impulsion d'horloge.

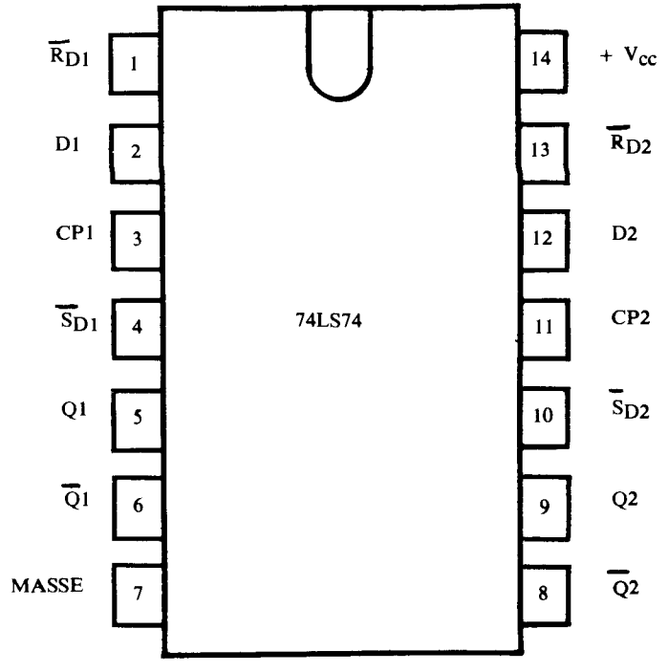


Figure 46
Boîtier du 74LS74

Table de fonctionnement

MODE	ENTRÉES				SORTIES	
	$\overline{S}_D$	$\overline{R}_D$	CP	D	Q	$\overline{Q}$
SET ASYNCHRONE	L	H	X	X	H	L
RESET ASYNCHRONE	H	L	X	X	L	H
INDÉTERMINÉ	L	L	X	X	H	H
MISE À "1" (SET)	H	H	↓	h	H	L
MISE À "Ø" (RESET)	H	H	↓	l	L	H

H = état maintenu au niveau de tension HAUT.
h = niveau HAUT positionné 20 ns avant le ↓ de CP.
L = état maintenu au niveau de tension BAS.
l = niveau BAS positionné 20 ns avant le ↓ de CP.
X = état quelconque.
↓ = front montant de l'impulsion d'horloge CP.

74LS126
Quadruple buffer 3 états

Configuration du boîtier

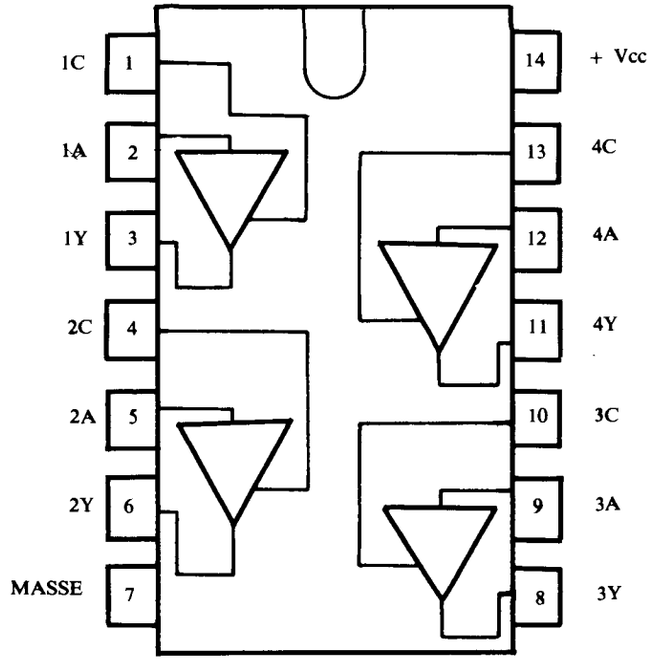


Figure 47
Boîtier du 74LS126

Table de fonctionnement

ENTRÉES		SORTIES
C	A	Y
H	L	L
H	H	H
L	X	(Z)

H = niveau de tension HAUT.
L = niveau de tension BAS.
X = niveau quelconque.
(Z) = haute impédance.

74LS151
Multiplexeur à 8 entrées

Description

Le '151 est équivalent à un commutateur logique à 8 positions commandé par 3 bits d'adresse SØ, S1, S2. Les deux sorties Y et $\overline{Y}$ sont présentes

L'entrée de validation $\overline{E}$ est active au niveau BAS. Si cette entrée est au niveau HAUT, alors la sortie Y est au niveau BAS et $\overline{Y}$ au niveau HAUT, indépendamment de l'état des entrées.

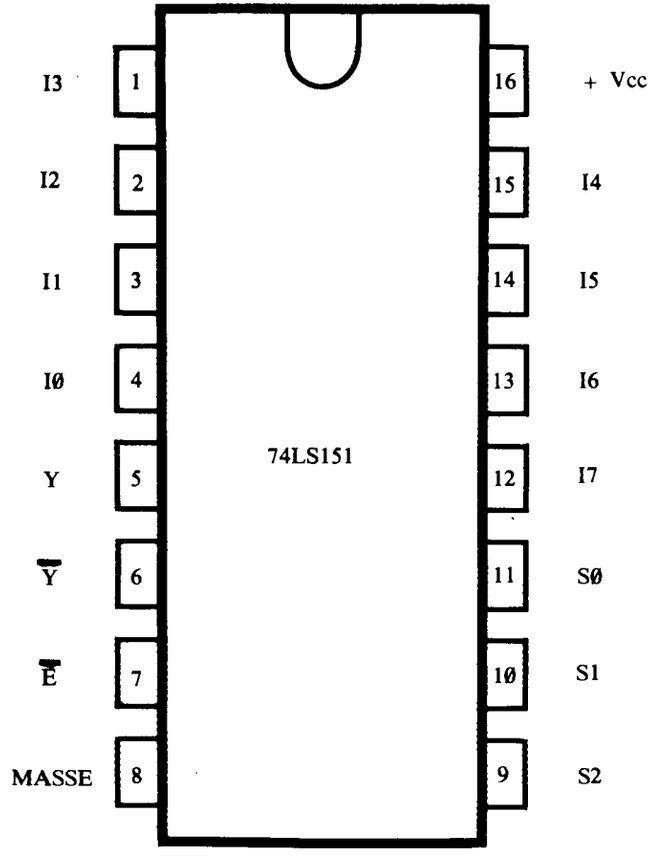


Figure 48
Boîtier du 74LS151

Table de fonctionnement

E	S_2	S_1	S_0	I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	Y	Y
H	X	X	X	X	X	X	X	X	X	X	X	H	L
L	L	L	L	L	X	X	X	X	X	X	X	H	L
L	L	L	L	H	X	X	X	X	X	X	X	L	H
L	L	L	H	X	L	X	X	X	X	X	X	H	L
L	L	L	H	X	H	X	X	X	X	X	X	L	H
L	L	H	L	X	X	L	X	X	X	X	X	H	L
L	L	H	L	X	X	H	X	X	X	X	X	L	H
L	L	H	H	X	X	X	L	X	X	X	X	H	L
L	L	H	H	X	X	X	H	X	X	X	X	L	H
L	H	L	L	X	X	X	X	L	X	X	X	H	L
L	H	L	L	X	X	X	X	H	X	X	X	L	H
L	H	L	H	X	X	X	X	X	L	X	X	H	L
L	H	L	H	X	X	X	X	X	H	X	X	L	H
L	H	H	L	X	X	X	X	X	X	L	X	H	L
L	H	H	L	X	X	X	X	X	X	H	X	L	H
L	H	H	H	X	X	X	X	X	X	X	L	H	L
L	H	H	H	X	X	X	X	X	X	X	H	L	H

74LS156
double démultiplexeur 1 vers 4 sortie collecteur ouvert

Description

Le '156 est un double démultiplexeur de 1 vers 4 ayant des entrées d'adresses communes ainsi que des entrées de validation sur porte logique.

Chaque section de décodage, si elle est sélectionnée, accepte les deux entrées d'adresse AØ et A1 et fournit quatre sorties mutuellement exclusives $\overline{Q0}$ à $\overline{Q3}$, actives au niveau BAS. Lorsqu'une sortie n'est pas adressée ou appartient au décodeur non sélectionné, elle passe au niveau HAUT.

Chaque décodeur possède une porte de validation à deux entrées. L'un des deux décodeurs accepte une entrée au niveau HAUT et une

au niveau BAS, ce qui permet un démultiplexage vrai ou complémenté. L'autre démultiplexeur nécessite deux entrées actives au niveau BAS. L'ensemble peut être utilisé comme un démultiplexeur de 1 vers 8 en reliant les pattes 1 et 15 du boîtier, condidérées alors comme l'adresse A2. Dans ce cas, en reliant les pattes 2 et 14, on dispose en ce point d'une entrée de validation $\overline{E}$.

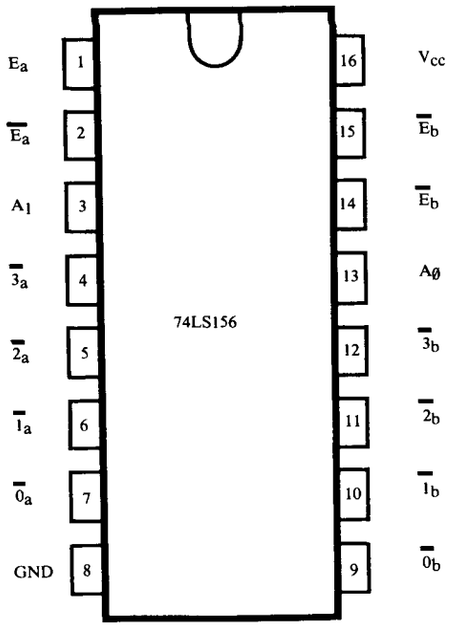


Figure 49
Boîtier 74LS156

Table de fonctionnement

ADRESSES		Validation "a"		SORTIE "a"				Validation "b"		SORTIE "b"			
A_0	A_1	E_a	$\overline{E_a}$	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$	$\overline{E_b}$	$\overline{E_b}$	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$
X	X	L	X	H	H	H	H	H	X	H	H	H	H
X	X	X	H	H	H	H	H	X	H	H	H	H	H
L	L	H	L	L	H	H	H	L	L	L	H	H	H
H	L	H	L	H	L	H	H	L	L	H	L	H	H
L	H	H	L	H	H	L	H	L	L	H	H	L	H
H	H	H	L	H	H	H	L	L	L	H	H	H	L

H = niveau HAUT
L = niveau BAS
X = quelconque

74LS157
quadruple multiplexeur 2 entrées

Description

Le 'LS157 est un multiplexeur qui sélectionne quatre bits d'information à partir de deux sources sous le contrôle d'une entrée de sélection (S). L'entrée de validation ($\overline{E}$) est active au niveau BAS.

Quand $\overline{E}$ est au niveau HAUT, toutes les sorties Y sont forcées au niveau BAS et ceci quelles que soient les autres conditions d'entrée.

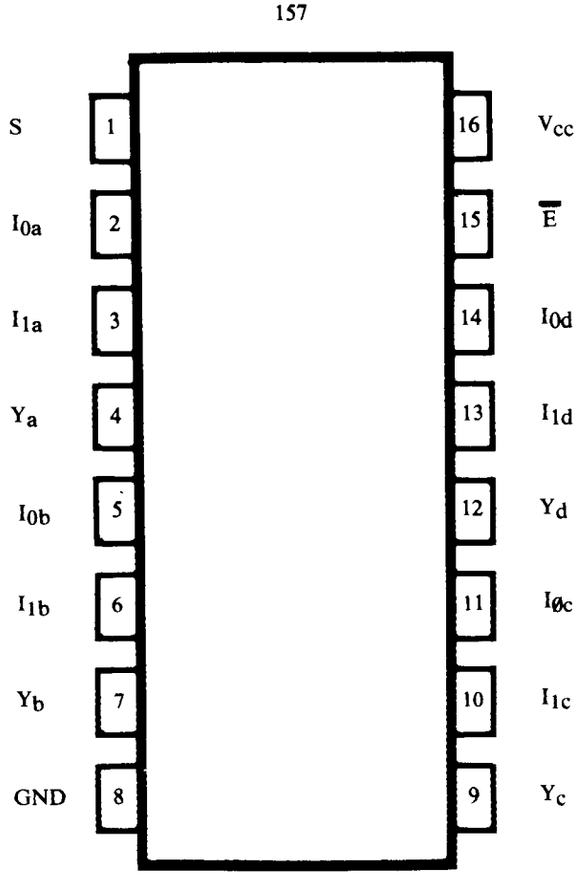


Figure 50
Boîtier du 74LS157

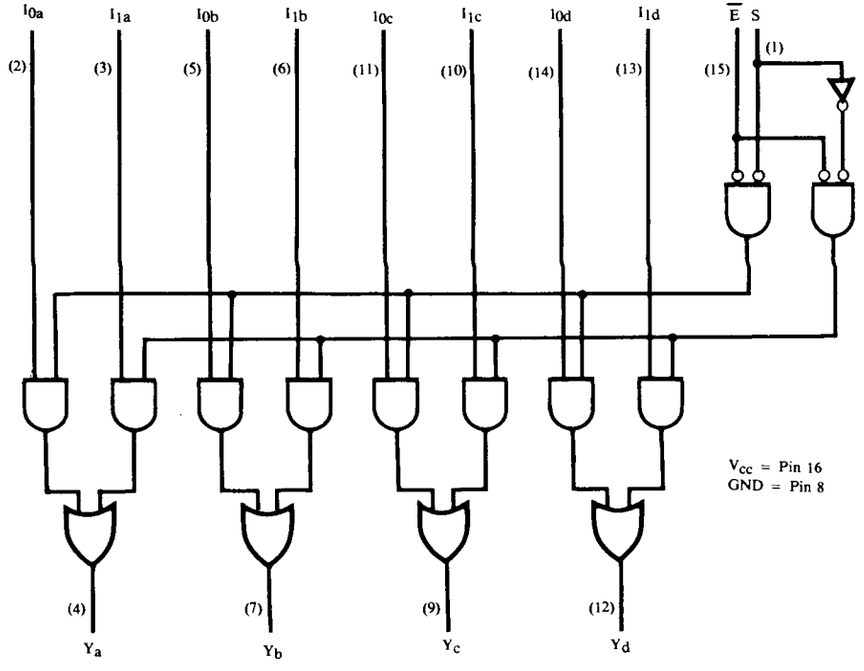


Figure 51
Diagramme logique

74LS165
registre à décalage 8 bits entrées série ou // — sortie série

Description

Le '165 est un registre à décalage 8 bits dont les entrées peuvent être du mode série ou parallèle, et qui fournit des informations séries complémentaires Q7 et $\overline{Q7}$ prises sur le dernier étage de bascules.

Lorsque l'entrée PL est au niveau BAS, le chargement des registres asynchrones se fait sous forme parallèle, avec les informations DØ - D7. Si l'entrée $\overline{PL}$ est au niveau HAUT, le chargement des informations se fait sous forme série à partir de l'entrée Ds, les informations étant décalées de registre en registre sur chaque **front montant** de l'impulsion d'horloge.

L'entrée d'horloge ayant une structure de porte logique, ceci permet un verrouillage de l'impulsion d'horloge à partir de l'entrée $\overline{CE}$. On peut également renverser les rôles joués par CP et $\overline{CE}$.

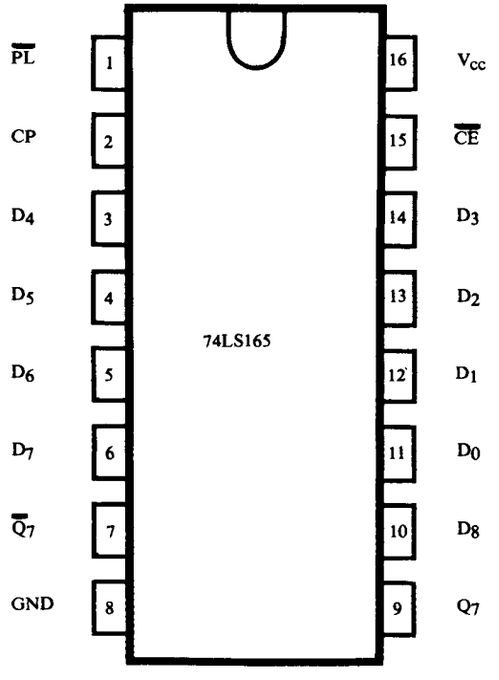


Figure 52
Boîtier des 74LS165

	$\overline{PL}$	$\overline{CE}$	CP	D_S	D_0-D_7	Q_0	Q_1-Q_0	Q_7	$\overline{Q_7}$
	L	X	X	X	L	L	L-L	L	H
	L	X	X	X	H	H	H-H	H	L
	H	L	I	I	X	L	q_0-q_5	q_8	q_8
	H	L	I	h	X	H	q_0-q_5	q_8	q_8
	H	H	X	X	X	q_0	q_1-q_8	q_7	q_7

Figure 53
Modes de fonctionnement

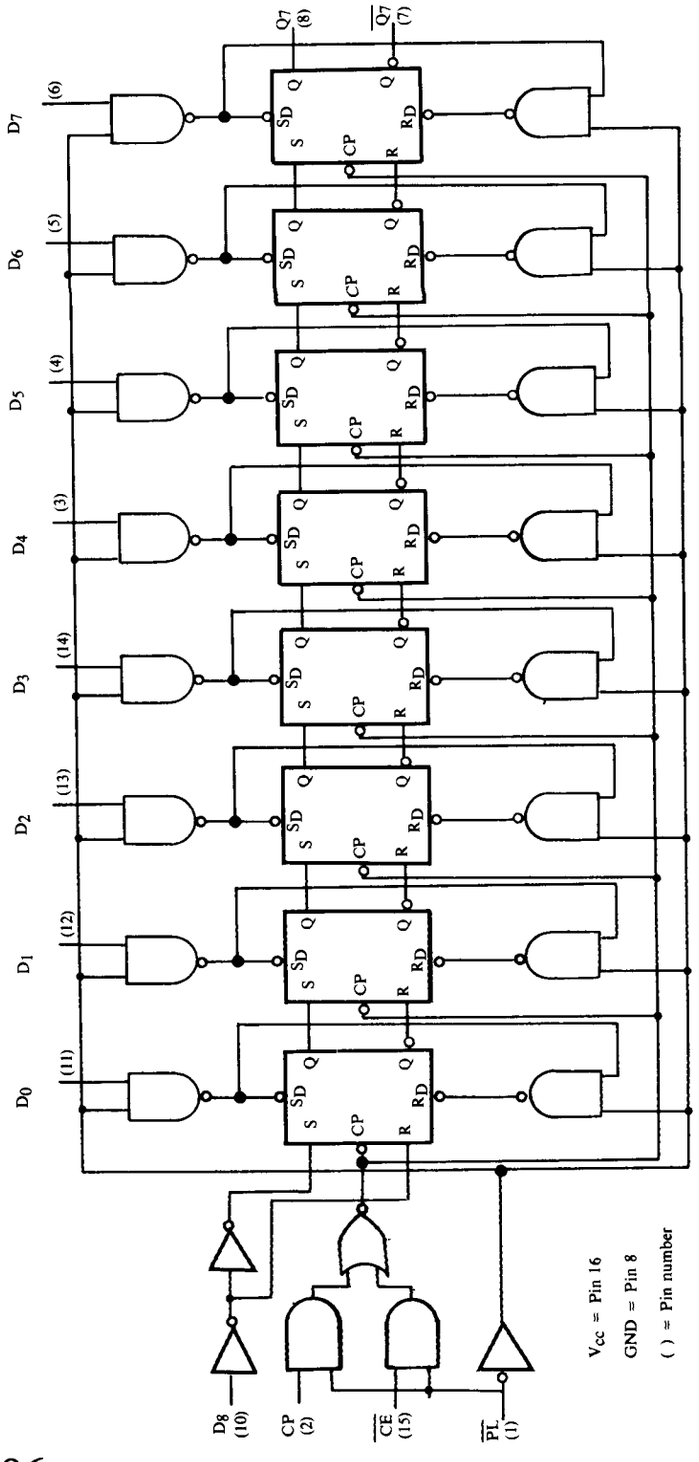


Figure 54
Diagramme logique

74LS173
quadruple bascule D à sortie 3 états

Description

Le '173 est un registre 4 bits à chargement parallèle avec contrôle d'horloge, sorties bufferisées à 3 états et reset principal. Lorsque les deux entrées de validation d'horloge ($\overline{E1}$ et $\overline{E2}$) sont BASSES, les informations présentes sur les entrées D sont chargées dans les registres en synchronisme avec le **front montant** de l'impulsion d'horloge CP.

Le reset MR est actif au niveau HAUT et remet à Ø toutes les sorties des bascules indépendamment de toute autre condition.

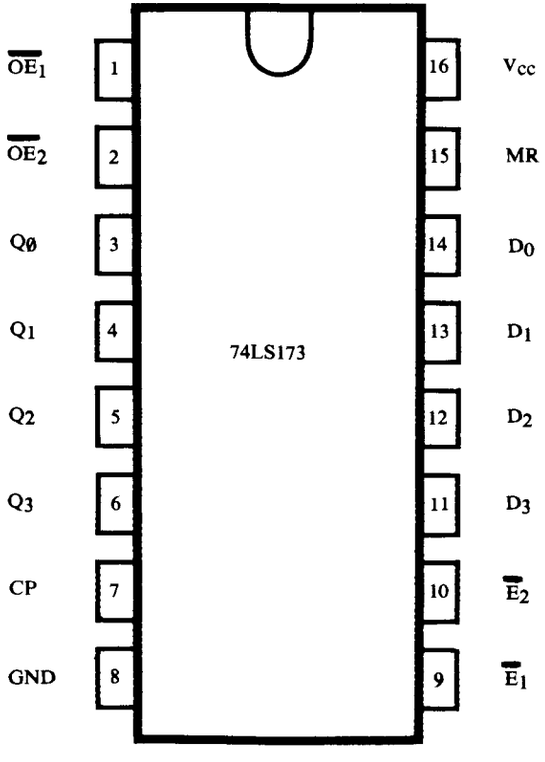
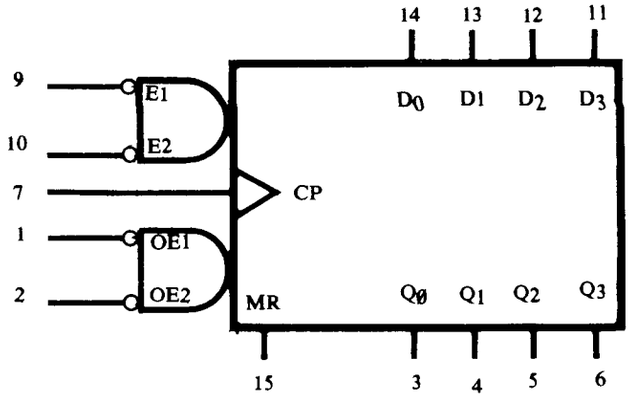


Figure 55
Boîtier du 74LS173

Les deux entrées d'une porte NOR ($\overline{OE1}$ et $\overline{OE2}$) autorisent la présence des informations en sorties, si elles sont toutes les deux au niveau BAS. Si l'une des deux au moins est au niveau HAUT, alors les sorties sont mises en état haute impédance.



V_{CC} = Pin 16

GND = Pin 8

Figure 56
Symbolisation logique

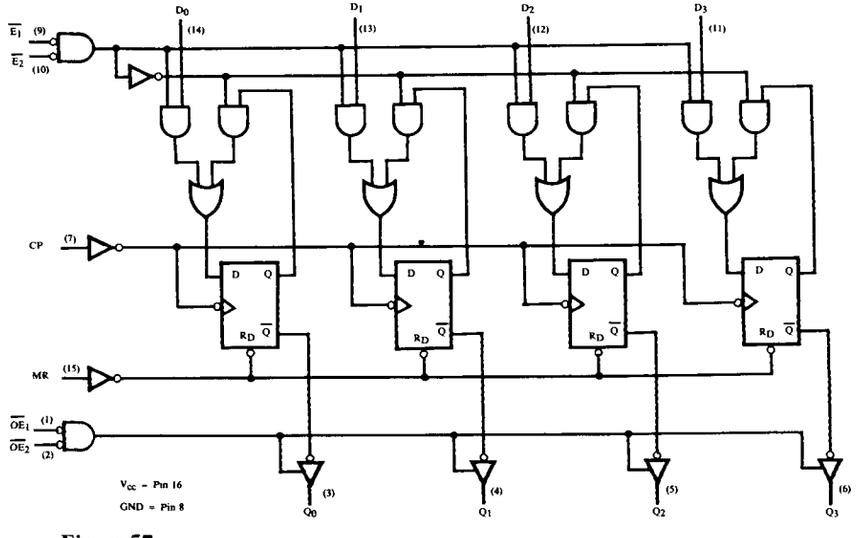


Figure 57
Diagramme logique

74LS221
double multivibrateur monostable

Description

Le '221 est un double multivibrateur monostable aux caractéristiques quasiment identiques au 74121. Chaque multivibrateur possède une entrée active sur **front montant** B et une entrée active sur **front descendant** $\overline{A}$, chacune d'entre elles pouvant être utilisée comme une entrée de validation.

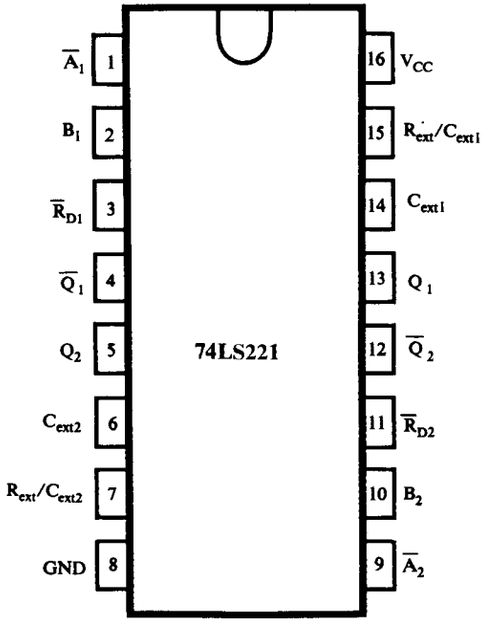


Figure 58
Boîtier du 74LS221

Table de fonctionnement

ENTRÉES			SORTIES	
$\overline{R_D}$	A	B	Q	$\overline{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⎍	⎍
H	↓	H	⎍	⎍
↑	L	H	⎍	⎍

74LS245
octuple circuit d'interface bidirectionnel sorties 3 états

Description

Le '245 est un octuple circuit transmetteur à 8 sorties bidirectionnelles, non inverseuses, 3 états. Toutes les sorties peuvent absorber jusqu'à 15 mA. Le circuit contient une entrée de "chip enable" ($\overline{CE}$) ainsi qu'une entrée de sens de transfert des DATA ($S/\overline{R}$).

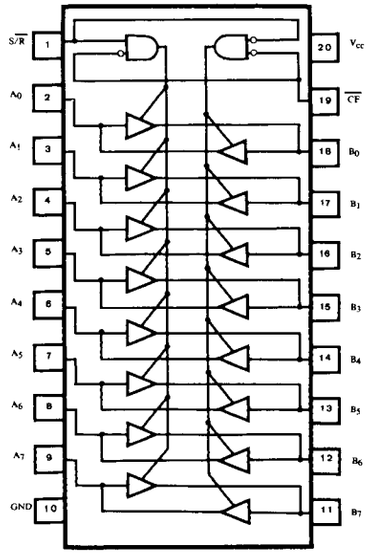


Figure 59
Boîtier du 74LS245

Table de fonctionnement

ENTRÉES		ENTRÉES/SORTIES	
$\overline{CE}$	$S/\overline{R}$	A_a	B_b
L	L	A = B	ENTRÉE
L	H	ENTRÉE	B = A
H	X	(Z)	(Z)

La mémoire vive

TMS 4416 NL
RAM dynamique 16 384 × 4 bits

Description

La TMS 4416 est une mémoire vive dynamique de 65 536 bits organisée en 16 384 mots de 4 bits. Le temps d'accès en mode $\overline{RAS}$ est au maximum de 150 ns. La dissipation de puissance est de 125 mW en fonctionnement et de 17,5 mW en mode "standby".

La période de rafraîchissement est de 4 ms, et durant cette période chacune des 256 rangées doit recevoir l'impulsion $\overline{RAS}$ afin de maintenir l'information. L'entrée $\overline{CAS}$ peut rester haute pendant cette séquence de rafraîchissement.

Toutes les entrées et les sorties, y compris l'horloge, sont compatibles avec la série TTL. Les entrées DATA et les lignes d'adresses sont latchées dans le circuit. Au contraire les sorties DATA ne le sont pas ceci pour augmenter la flexibilité du système.

NOMENCLATURE des PATTES	
A0-A7	ENTRÉE D'ADRESSES
$\overline{CAS}$	Sélection des adresses/colonnes
DQ1-DQ4	Entrées/Sorties des informations
$\overline{G}$	Validation des SORTIES
$\overline{RAS}$	Sélection des adresses lignes
$\overline{W}$	Validation d'écriture
V_{DD}	Alimentation + 5 V_{CC}
V_{SS}	Masse

Nomenclature des pattes

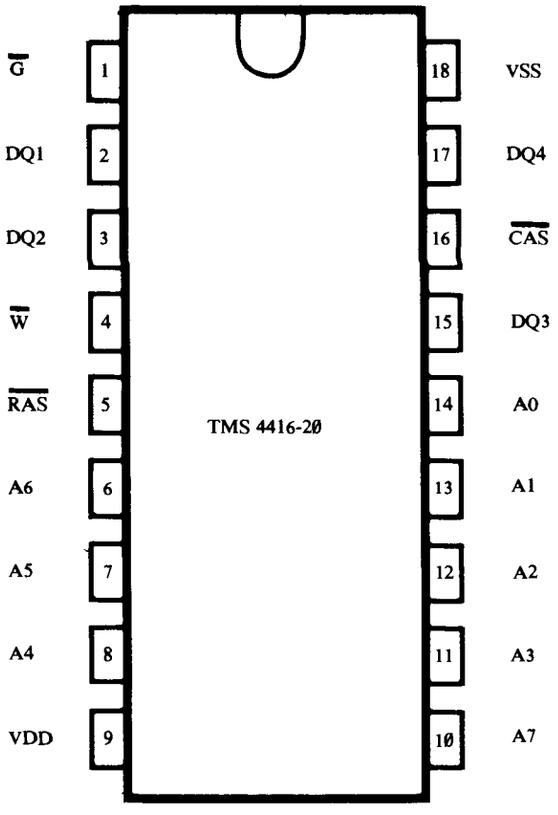


Figure 60
Boîtier du TM5 4416

Fonctionnement

Adresses

Quatorze bits d'adresses sont nécessaires pour décoder les 16 384 cases de rangement. Les 8 bits d'adresses des rangées sont positionnés sur les entrées AØ à A7, puis latchés dans le circuit par l'impulsion $\overline{RAS}$ (Row Adress Strobe). Les 6 bits d'adressage des colonnes sont positionnés sur les entrées A1 à A6, puis latchés dans le circuit par l'impulsion $\overline{CAS}$. Toutes les adresses doivent être stables pendant ou avant les fronts descendants des impulsions $\overline{RAS}$ et $\overline{CAS}$. L'impulsion $\overline{RAS}$ est équivalente à un "chip enable" qui valide les amplificateurs d'entrée et le décodeur d'adressage des rangées. L'impulsion $\overline{CAS}$ est utilisée comme un "chip select" qui active le décodeur de colonne ainsi que les "buffers" des entrées et des sorties.

WRITE ENABLE (W).

La sélection du mode LECTURE/ÉCRITURE se fait par l'entrée $\overline{W}$. Un niveau haut sur cette entrée sélectionne le mode LECTURE et un niveau bas le mode ÉCRITURE. Les entrées DATA sont désélectionnées quand le mode LECTURE est choisi.

Validation des sorties (G).

L'entrée $\overline{G}$ contrôle l'impédance des buffers de sortie. Si cette entrée est haute, les buffers sont maintenus à l'état haute impédance. Porter $\overline{G}$ à l'état bas pendant un cycle normal revient à activer les buffers de sortie qui se mettent alors à l'état basse impédance. Il est nécessaire que les deux impulsions $\overline{RAS}$ et $\overline{CAS}$ soient basses pour que les buffers de sortie passent à l'état basse impédance, ils y restent jusqu'à ce que $\overline{G}$ ou $\overline{CAS}$ repassent à l'état haut.

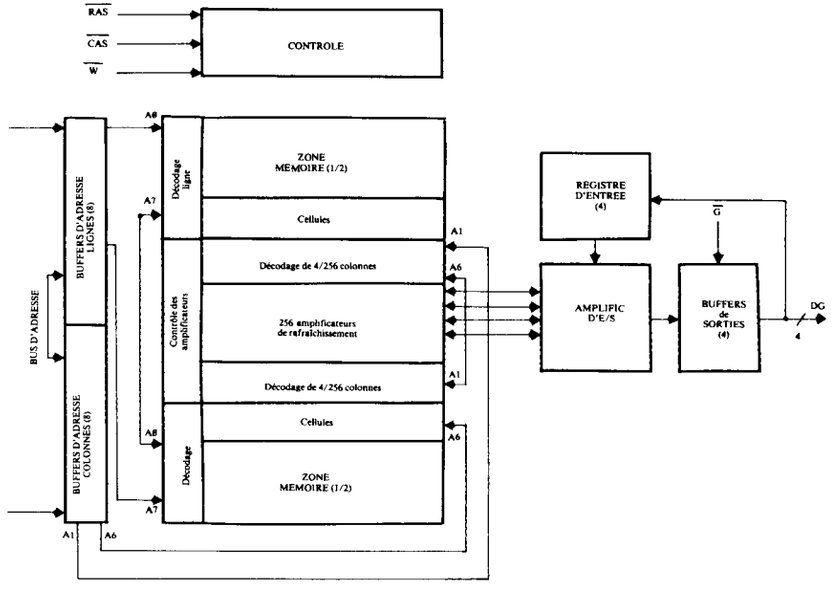


Figure 61
Diagramme fonctionnel

Entrées DATA (DQ1 à DQ4).
Les informations peuvent être écrites pendant un cycle d'écriture ou pendant un cycle de lecture/écriture de correction. Suivant le type d'opération choisi, c'est le front descendant de l'impulsion $\overline{CAS}$ ou de l'impulsion $\overline{W}$ qui validera l'entrée des DATA dans les "latchs".

Dans un cycle d'écriture rapide le signal $\overline{W}$ sera mis à l'état bas avant $\overline{CAS}$ et les informations DATA seront chargées par le front descendant de $\overline{CAS}$ en recpectant les timings correspondants.

Dans un cycle d'écriture long ou de lecture/écriture de correction, $\overline{CAS}$ sera mis à l'état bas le premier et les DATA seront chargées par le front descendant de W. Dans ce type de fonctionnement, l'entrée $\overline{G}$ doit être mise à l'état haut avant que $\overline{W}$ ne valide l'écriture, et ce, afin de porter les buffers de sortie à l'état haute impédance.

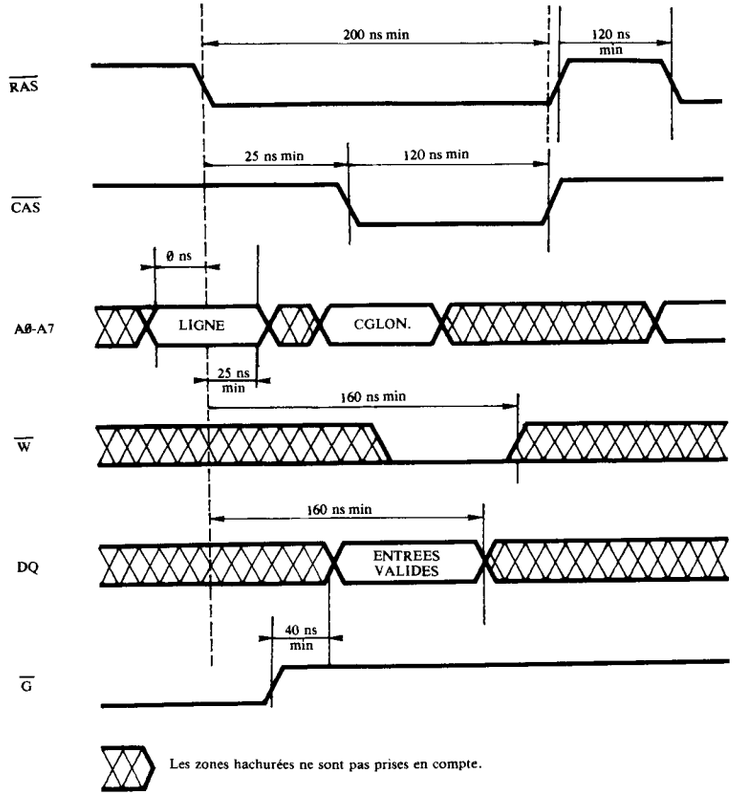


Figure 62
Timing du mode ECRITURE

Sorties DATA (DQ1 à DQ4)
Les sorties DATA ont la même polarité que les entrées. Les sorties restent à l'état haute impédance jusqu'à ce que le signal $\overline{CAS}$ passe à l'état bas. Au cours d'un cycle d'écriture, les sorties seront actives après un intervalle de temps d'accès ta(C) commençant avec le front descendant de $\overline{CAS}$ à condition que les temps d'accès ta(E) et ta(G) soient respectés. Les sorties restent valides tant que $\overline{CAS}$ ou $\overline{G}$ sont bas. Si l'un de ces deux signaux repasse à l'état haut, les sorties sont remises en haute impédance.

Dans un cycle d'écriture rapide, les sorties sont toujours à l'état haute impédance.

Dans un cycle d'écriture long ou de lecture/écriture de correction, les sorties doivent être mises à l'état haute impédance avant d'envoyer les informations DATA sur les lignes d'entrées. On obtient ce résultat en portant $\overline{G}$ à l'état haut avant d'envoyer les informations et en respectant l'intervalle de temps t_{GHD}.

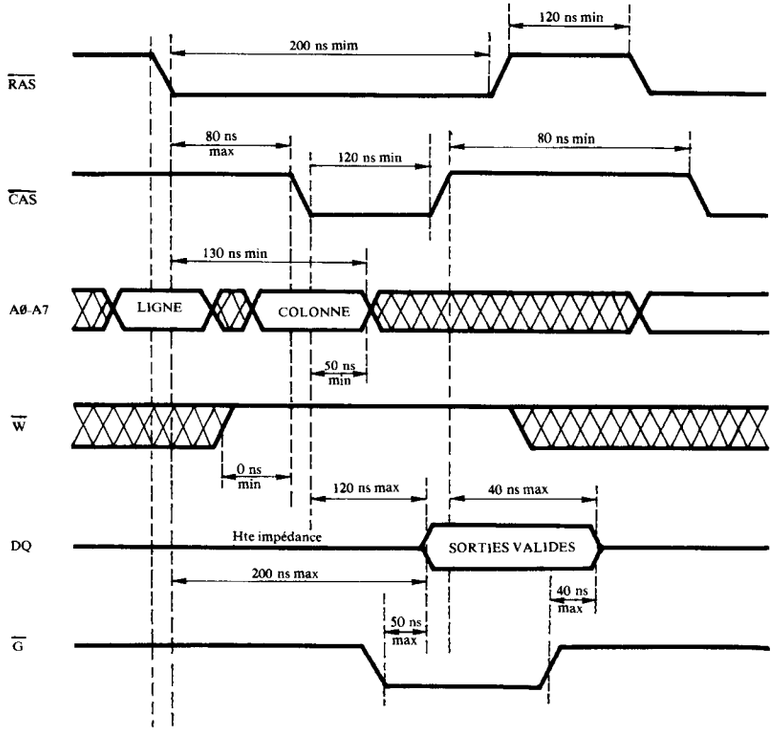


Figure 63
Timing du mode LECTURE

Rafraîchissement
Une opération de rafraîchissement doit être réalisée au moins toutes les 4 ms pour retenir les informations en mémoire. Le rafraîchissement se fait par chargement des 256 adresses des rangées avec le signal $\overline{RAS}$. $\overline{CAS}$ peut rester haut pendant cette séquence pour maintenir la puissance.

Mode page
Ce mode de fonctionnement permet un accès plus rapide à la mémoire en conservant la même adresse de rangée et en chargeant succcessivement les adresses des colonnes.

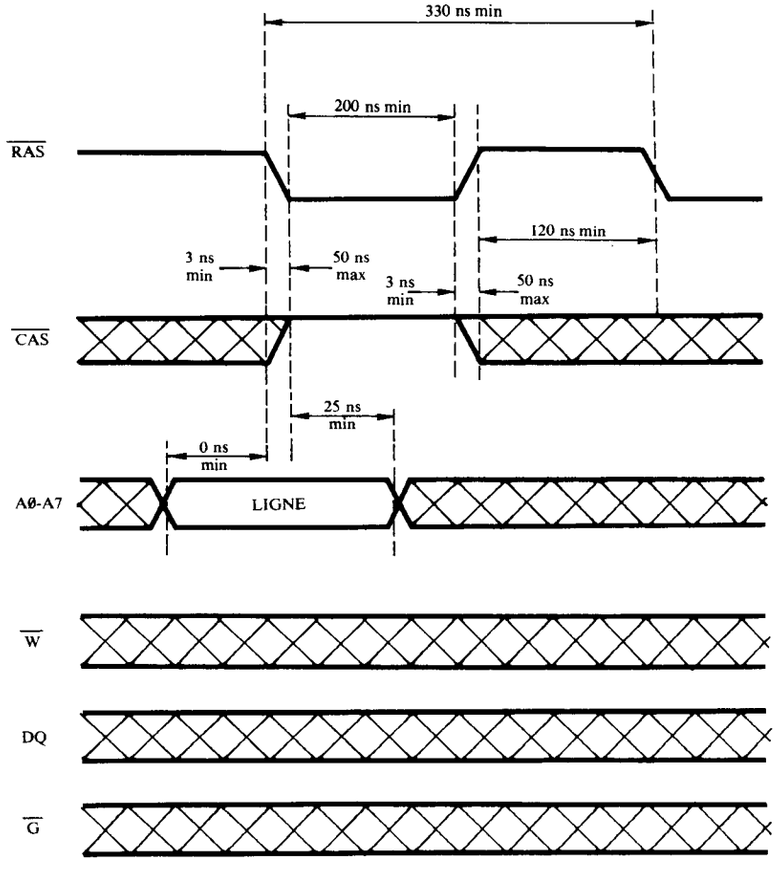


Figure 64
Timing du mode rafraîchissement

La mémoire reprogrammable

27128
REPROM 128K (16K × 8)

Description

La 27128 est une mémoire programmable électriquement, à lecture seule, effaçable aux ultraviolets. Sa capacité est de 131 Ø72 bits organisés en 16k octets. Elle ne nécessite qu'une alimentation de 5 volts. Le temps d'accès standard est de 250 ns. Elle possède également un mode "standby" qui réduit sa consommation de puissance sans augmenter son temps d'accès. En mode normal, elle consomme au maximum 100 mA alors qu'en "standby" elle ne consomme que 40 mA.

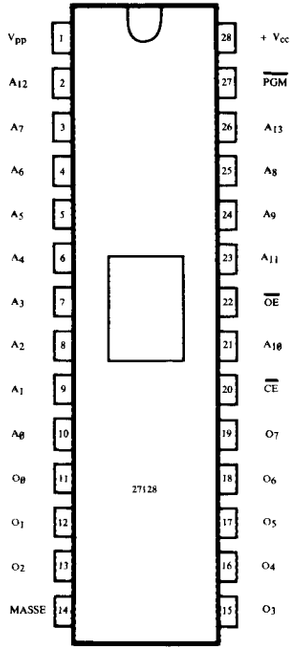


Figure 65
Boîtier de la 27128

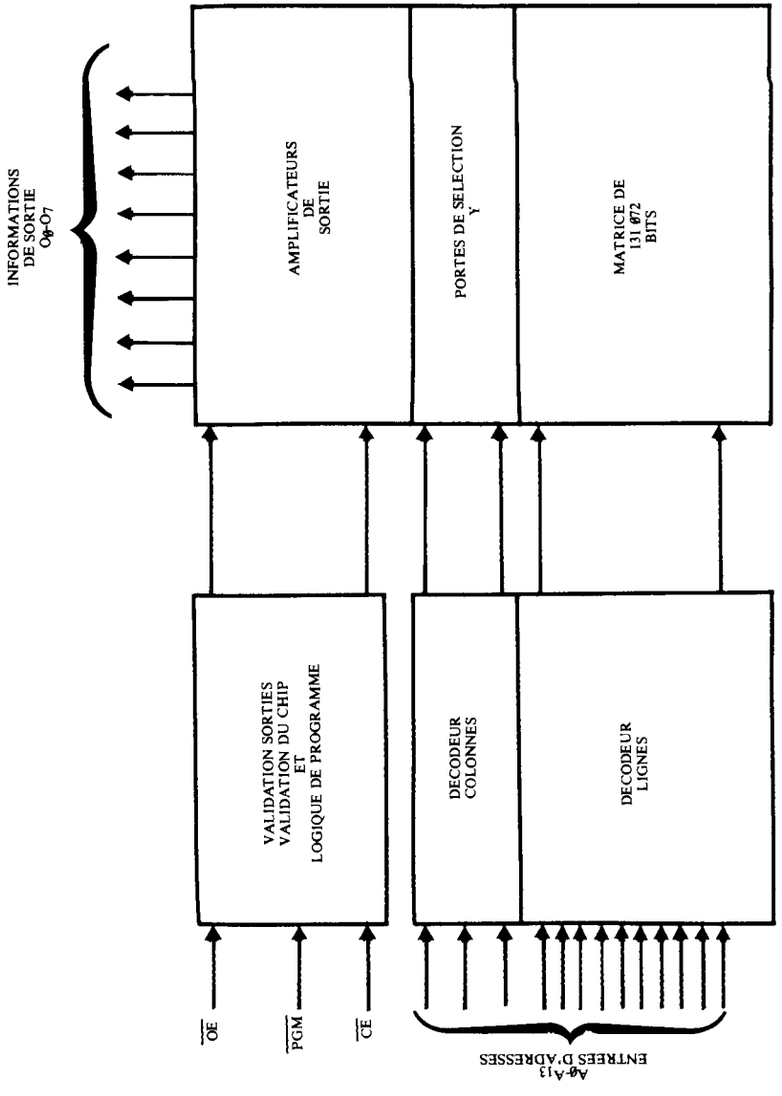


Figure 66
Diagramme logique

La mémoire morte

HM 76Ø3
PROM 32 × 8 à sorties 3 états

Description

La HM 76Ø3 est une mémoire programmable à fusibles chrome-nickel. De technologie schottky TTL, elle garantit un temps d'accès maximum de 60 ns.

Elle est organisée en 32 mots de 8 bits avec sortie 3 états. Les sorties sont mises à l'état haute impédance en portant la patte $\overline{CE}$ à 1.

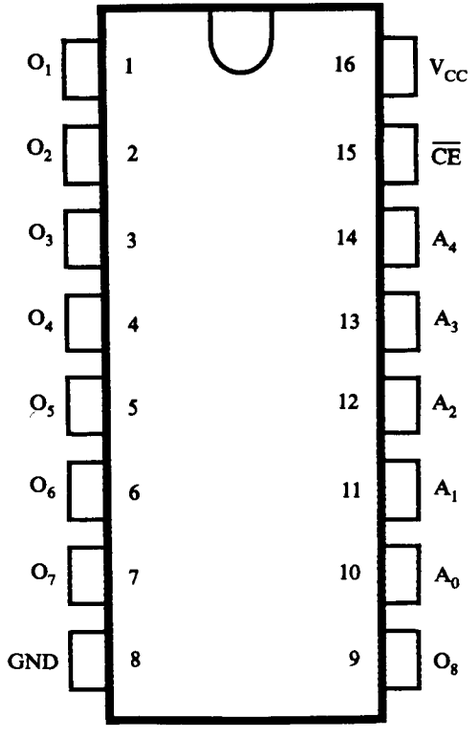


Figure 67
Boîtier de la HM 76Ø3

D'origine, tous les fusibles sont intacts et fournissent donc un "1" logique, et peuvent être programmés sélectivement pour fournir un "Ø".

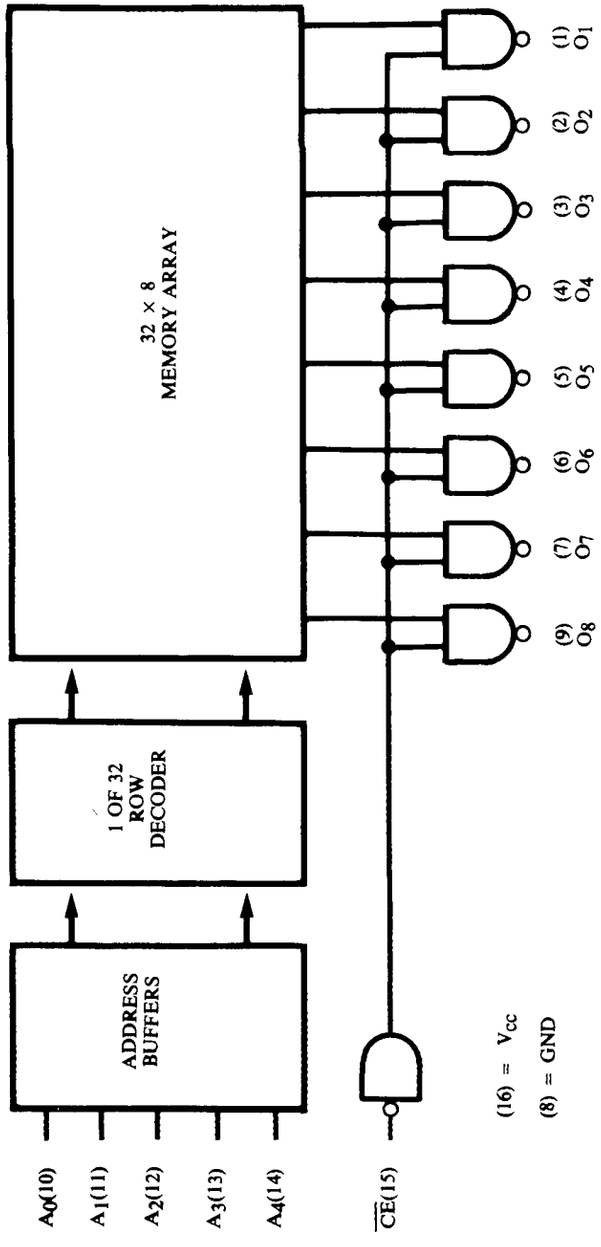


Figure 68
Diagramme fonctionnel

Le microprocesseur

68Ø9E

Microprocesseur 8 bits, le 68Ø9E a en fait une structure interne 16 bits puisque tous ses registres sont des registres 16 bits (X,Y,U,S et PC) ou 8 bits concaténables (A et B peuvent devenir D = A + B).

Seuls le registre d'état CCR et le registre de page directe DP ont une structure 8 bits.

Microprocesseur monotension (+5 V), il nécessite deux signaux d'horloge E et Q en quadrature de phase. Les adresses sont validées sur le front montant de Q et les données mémorisées sur le front descendant de E.

A la mise sous tension, ou lors d'une réinitialisation manuelle par mise à Ø de l'entrée $\overline{\text{RESET}}$, le compteur programme est chargé avec l'adresse contenue en $FFFE, $FFFF. Tous les registres sont initialisés et en particulier le registre de page directe DP, utilisé en mode d'adressage direct, est mis à zéro pour comptabilité avec la page Ø du 68ØØ.

Outre les deux accumulateurs A et B utilisés pour les calculs et les manipulations des données et concaténables en un accumulateur D de 16 bits, le 68Ø9E possède 4 registres 16 bits, X, Y, U et S pouvant servir de registres d'index ou de pointeurs de pile.

X et Y sont plutôt destinés à servir d'index alors que U et S sont là pour servir de pointeurs à la pile utilisateur (rôle de U) et à la pile système (rôle de S). Toutefois rien n'empêche de permuter ces différents rôles :

- Le mode indexé permet en effet d'utiliser comme registre d'index aussi bien X et Y que U et S.
- Dans certains cas, le compteur programme peut également servir de registre d'index.

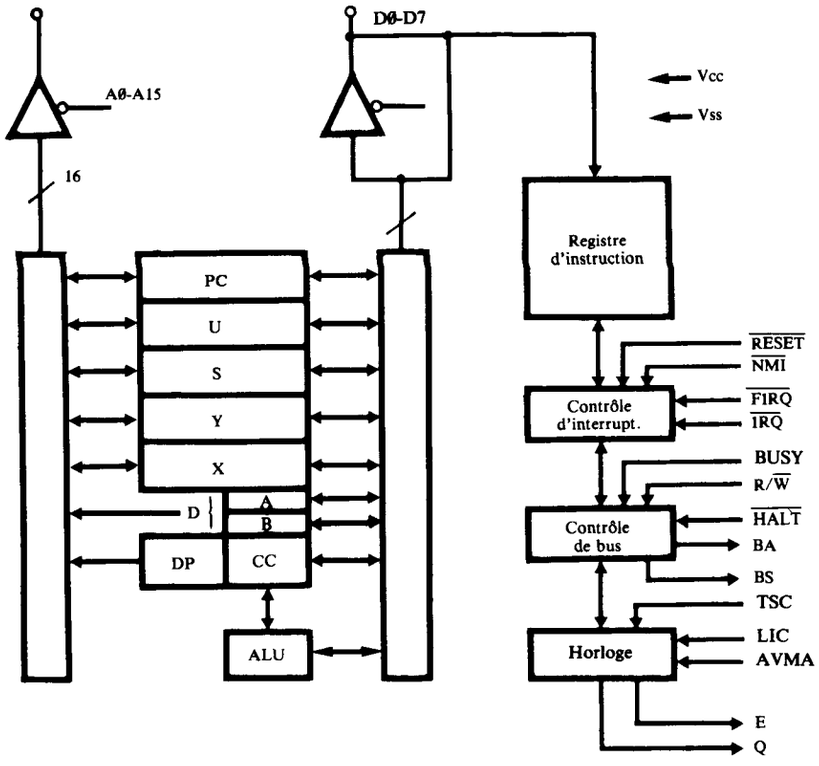


Figure 69
Schéma fonctionnel du 68Ø9E

Les instructions TFR et EXG permettent le transfert d'un registre (ou d'un accumulateur) dans un autre, ou l'échange de deux registres (ou de deux accumulateurs).

Description du Registre Codes Condition

Ce registre 8 bits contient des indicateurs de résultats ou des masques d'interruption :

- Le BIT Ø (C) indique s'il est à "1" qu'une retenue a eu lieu lors de la dernière opération effectuée.
- Le BIT 1 (V) indique s'il est à "1", qu'il y a eu débordement, c'est-à-dire que la retenue du MSB n'est pas la même que celle du MSB-1.
- Le BIT 3 (N) indique un résultat négatif. En complément à deux, N sera donc mis à "1".
- Le BIT 4 (I) masque les interruptions IRQ.

- Le BIT 5 (H) est le bit de demi-retenue. Il est utilisé dans l'opération d'ajustement décimal.
- Le BIT 6 (F) masque les interruptions FIRQ.
- Le BIT 7 (E) indique s'il est à "1", que l'état complet de la machine a été empilé sur la pile système S.

Les modes d'adressage

Adressage inhérent :
Dans ce mode d'adressage, il n'y a aucun échange avec l'extérieur du 68Ø9E. Exemple : EXG A,B qui échange les contenus de A et B.

Adressage immédiat :
Dans ce mode d'adressage, la valeur à traiter suit immédiatement le code opération. Exemple : LDB # 2 qui met la valeur 2 (%ØØØØØØ1Ø) dans l'accumulateur B.

Adressage étendu :
Dans ce mode d'adressage, la donnée à traiter se trouve à l'adresse qui suit le code instruction. Exemple : LDX $E8ØC chargera X avec la donnée 16 bits rangée en E8ØC (MSB) et E8ØD (LSB).

Adressage direct :
Dans ce mode d'adressage, la donnée à traiter correspond à l'adresse dont les 8 bits LSB suivent le code instruction, les 8 bits MSB étant dans le registre de page directe DP. Exemple : STB $ØA rangera le contenu de B en 4ØØA si DP contient $4Ø.

Adressage étendu indirect :
Dans ce mode d'adressage, la donnée a pour adresse celle qui se trouve rangée à l'adresse qui suit le code instruction.

Adressage relatif court :
Dans ce mode d'adressage, on ajoute au compteur programme (qui pointe déjà l'instruction suivante) la valeur qui suit l'instruction de branchement. Cette valeur doit être comprise entre ØØ et FF, ce qui ne permet donc des branchements que de + 127 en avant ou de - 128 en arrière.

Adressage relatif long :
Dans ce mode d'adressage, comme dans le précédent, on ajoute au compteur programme la valeur qui suit les codes d'instructions. On peut dans ce cas se brancher dans toute la zone des 64 K mémoire.

Adressage indexé :
Dans ce mode d'adressage, l'un des registres sert d'index pour le calcul de l'adresse exacte de la donnée.

Adressage indexé indirect :
Dans ce mode d'adressage indexé, l'adresse obtenue ne contient pas la donnée, mais l'adresse de la donnée.

Les interruptions

FFFE	**FFFF**	**$\overline{\text{RESET}}$**
FFFC	**FFFD**	**$\overline{\text{NMI}}$**
FFFA	**FFFB**	**SWI**
FFF8	**FFF9**	**$\overline{\text{IRQ}}$**
FFF6	**FFF7**	**$\overline{\text{FIRQ}}$**
FFF4	**FFF5**	**SWI2**
FFF2	**FFF3**	**SWI3**
FFF0	**FFF1**	**RESERVE**

Pointeurs d'interruption

Les interruptions accessibles par l'utilisateur du MO 5, car présentes sur le connecteur d'extension, sont les suivantes :

$\overline{\text{RESET}}$: un niveau bas sur cette entrée pendant un temps supérieur à 1 μs provoque la réinitialisation du système, ce qui est équivalent à une action manuelle sur le bouton "INITIALISATION PROGRAMME" du MO 5.

$\overline{\text{FIRQ}}$: un niveau bas sur cette entrée provoque une séquence d'interruption rapide (prioritaire par rapport à IRQ) car il n'y a sauvegarde sur la pile que du contenu du registre de codes condition et du compteur programme.

Cette demande d'interruption n'est prise en compte que si le bit 6 (F) du CCR est à zéro.

$\overline{\text{IRQ}}$: un niveau bas sur cette entrée provoque une séquence d'interruption avec sauvegarde sur la pile système de l'état complet du 68Ø9.

Cette demande n'est prise en compte que si le bit 4 (I) du CCR est à zéro.

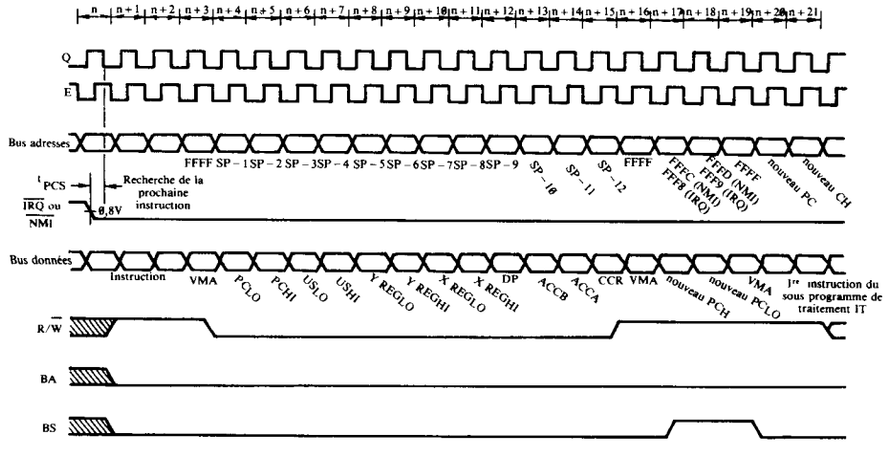


Figure 70
Diagramme des temps des interruptions $\overline{\text{NMI}}$ et $\overline{\text{IRQ}}$

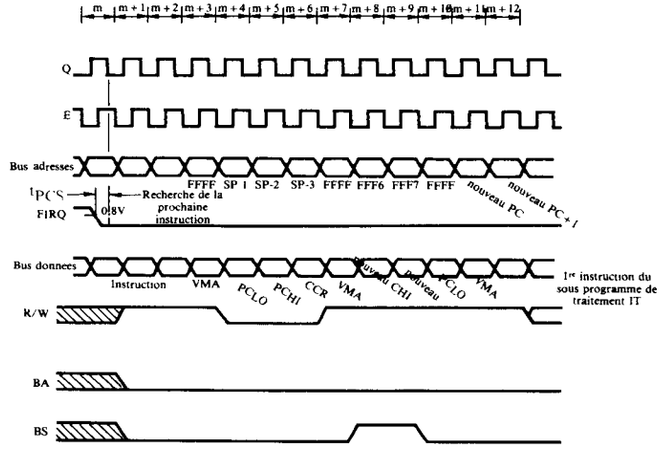


Diagramme des interruptions $\overline{\text{FIRQ}}$

Le PIA

6821

Ce circuit permet l'interfaçage entre le 68Ø9 et les périphériques, par l'intermédiaire de deux ports parallèles de 8 bits programmables en entrées ou en sorties, et quatre lignes de contrôle utilisables individuellement pour gérer les interruptions, ou comme E/S supplémentaires pour deux d'entr'elles.

Le contrôle du PIA se fait par l'intermédiaire de 6 registres, auxquels on accède par deux bits de sélection RSØ et RS1, plus le bit 2 des registres de contrôle.

Ces six registres sont les suivants :
- ORA (et ORB), registre de sortie du PORTA (et du PORTB).
- DDRA (et DDRB), registre de sens du transfert des données du PORTA (et du PORTB).
- CRA (et CRB), registre de contrôle A (et B).

Les registres ORA et DDRA sont sélectionnés par le même code RS1, RSØ = ØØ. Le choix de l'un ou de l'autre est fait suivant la valeur du bit 2 du registre CRA.

RS1	RSØ	Bit du registre de contrôle		Registre sélecté
		CRA-2	CRB-2	
0	0	1	X	Registre données de la périphérie A
0	0	0	X	Registre sens de transfert des données A
0	1	X	X	Registre de contrôle
1	0	X	1	Registre données de la périphérie B
1	0	X	0	Registre sens de transfert des données B
1	1	X	X	Registre de contrôle

Figure 71
Tableau d'adressage du 6821

Il en est de même pour ORB et DDRB différenciés par le CRB2. L'adressage de ces registres peut être fait en mode :
- 8 bits si RSØ = AØ et RS1 = A1
- ou 16 bits si RSØ = A1 et RS1 = AØ

En effet dans ce dernier cas, les registres ORA et ORB sont situés à deux adresses contiguës, donc adressables par une donnée 16 bits.

La selection du PIA se fait par trois bits CSØ, CS1, CS2.
Lorsque le PIA est sélectionné, le transfert des données se fait sous le contrôle de l'impulsion d'horloge E et de la ligne de lecture/écriture (R/W).

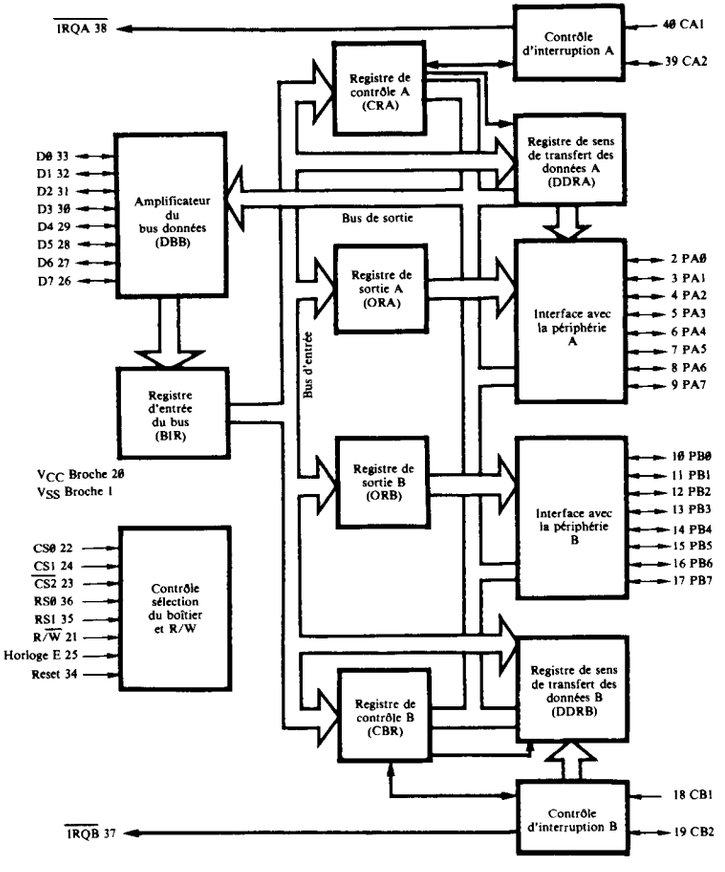


Figure 72
Diagramme fonctionnel du PIA 6821

Les deux lignes de sortie IRQA et IRQB, actives au niveau Ø, sont à "drain ouvert", ce qui permet le "OU cablé". Elles sont gérées par le registre de contrôle.

	7	6	5	4	3	2	1	0
CRA	IRQA1	IRQA2	Contrôle de CA2			Accès à DDRA	Contrôle de CA1	
CRB	IRQB1	IRQB2	Contrôle de CB2			Accès à DDRB	Contrôle de CB1	

Figure 73
Format des mats de contrôle

Les bits Ø à 5 de ce registre peuvent être écrits ou lus par le 68Ø9.

Les bits 6 et 7 ne peuvent seulement être que lus par le 68Ø9 et sont modifiés par les entrées externes CA1 et CA2 (ou CB1 et CB2).

a)*Les deux premiers bits CRAØ et CRA1* permettent la gestion de l'entrée CA1 :
- Si CRAØ =Ø → IRQA est inhibée et bloquée à l'état haut.
- Si CRAØ = 1 → IRQA passe à l'état bas quand l'indicateur CRA7 passe à l'état haut.
- Si CRA1 = Ø → l'indicateur d'interruption CRA7 passe à l'état haut sur le front descendant de CA1.
- Si CRA1 = 1 → l'indicateur d'interruption CRA7 passe à l'état haut sur front montant de CA1.

b) *Le bit CRA2 permet d'accéder :*
- *au registre DDRA si CRA2 = Ø*
- *au registre ORA si CRA2 = 1*

c) Les 3 bits CRA3, CRA4, CRA5 permettent la gestion de la ligne CA2 :
- Si CRA5 = Ø → CA2 est programmée en **entrée d'interruption** et alors les bits CRA3 et CRA4 fonctionnent vis-à-vis de cette entrée et de l'indicateur CRA6 comme précédemment CRAØ et CRA1 le faisaient vis-à-vis de CA1 et CRA7.

CRA-1 (CRB-1)	CRA-Ø (CRS-Ø)		Indicateur d'interruption CRA-7 (CRB-7)	Demande d'interruption du MPU IRQA (IRQB)
0	0	↓Active	Mis à un sur ↓ de CA1 (CB1)	Inhibée — IRQ reste à l'état haut
0	1	↓Active	Mis à un sur ↓ de CA1 (CB1)	Passe à l'état bas quand l'indicateur CRA-7 (CRB-7) passe à l'état haut
1	0	↑Active	Mis à un sur ↑ de CA1 (CB1)	Inhibée — IRQ reste à l'état haut
1	1	↑Active	Mis à un sur ↑ de CA1 (CB1)	Passe à l'état bas quand l'indicateur CRA-7 (CRB-7) passe à l'état haut

Notes :
1 ↑ Transition positive
2 ↓ Transition négative
3 L'indicateur d'interruption CRA-7 (CRB-7) est mis à zéro par une lecture du registre données de la périphérie A (B) par le MPU.
4 Si CRA-Ø (CRB-Ø) est zéro (interruption inhibée) quand l'interuption se produit et est, par la suite, mis à un, IRQA (IRQB) passe à l'état bas après que CRA-Ø (CRB-Ø) soit à l'état haut.

Figure 74
Contrôle des entrées d'interruption CA1 et CB1

CRA-5 (CRB-5)	CRA-4 (CRB-4)	CRA-3 (CRB-3)	Transition active de l'entrée d'interruption CA2 (CB2)	Indicatenr d'interruption CRA-6 (CRB-6)	Demande d'interruption du MPU IRQA (IRQB)
0	0	0	↓Active	Mis à un sur ↓ de CA2 (CB2)	Inhibée — IRQ reste à l'état haut
0	0	1	↓Active	Mis à un sur ↓ de CA2 (CB2)	Passe à l'état bas quand l'indicateur CRA-6 (CRB-6) passe à un.
0	1	0	↑Active	Mis à un sur ↑ de CA2 (CB2)	Inhibée — IRQ reste à l'état haut
0	1	1	↑Active	Mis à un sur ↑ de CA2 (CB2)	Passe à l'état bas quand l'indicateur CRA-6 (CRB-6) passe à un.

Notes :
1 ↑ Transition positive
2 ↑ Transition négative
3 L'indicateur d'interruption CRA-6 (CRB-6) est mis

Figure 75
Contrôle de CA2, CB2 comme entrée d'interruption

- Si CRA5 = 1 → CA2 est programmée comme bit de sortie supplémentaire.

ATTENTION : comme sorties, CA2 et CB2 ont des modes de fonctionnement différents.

- Si CRA4 (ou CRB4) = 1 alors CA2 = CRA3 (et CB2 = CRB3).
Dans ce mode CA2 (CB2) est une sortie que l'on met à Ø ou à 1 par mise au niveau identique de CRA3 (CRB3).
- Si CRA4 = Ø (ou CRB4) alors CA2 (CB2) est utilisée comme sortie de contrôle selon le mode "poignée de main" afin de permettre la synchronisation des échanges.
Dans ce cas, le fonctionnement est différent pour CA2 et CB2. Se reporter aux tableaux ci-joints.

Fonctionnement du registre DDRA (DDRB).

Si le bit CRA2 (CRB2) est à Ø, on accède alors pour RSØ, RS1 = ØØ au registre DDRA, et pour RSØ, RS1 = Ø1 au registre DDRB.
A chaque bit de ces registres est associée une ligne du PORT de même nom. Si ce bit est :
- à "1", la ligne du PORT sera une sortie
- à "Ø", la ligne du PORT sera une entrée.

Lors d'un reset, tous les registres étant mis à zéro, les deux PORTS A et B sont initialisés en entrées.

CRB-5	CRB-4	CRB-3	Mis à zéro CB2 Mis à un	
1	0	0	Bas sur la transition positive de la première impulsion E qui suit une écriture du registre données de la périphérie B.	Haut quand l'indicateur d'interruption CRB-7 est mis à un par une transition active du signal CB1.
1	0	1	Bas sur la transision positive de la première impulsion E qui suit une écriture du registre données de la périphérie B.	Haut sur la transition positive de la première impulsion E qui suit une impulsion E qui était arrivée tandis que le circuit était désélecté.
1	1	0	Bas quand CRB-3 est mis à zéro par une écriture du registre de contrôle B.	Toujours bas tant que CRB-3 est à zéro. Passera à l'état haut quand CRB-3 sera mis à un par une écriture du registre de contrôle B.
1	1	1	Toujours haut tant que CRB-3 est à un. Passera à l'état bas quand CRB-3 sera mis à zéro par une écriture du registre de contrôle B.	Haut quand CRB-3 est mis à un par une ecriture du registre de contrôle B.

Figure 76
Contrôle de CB2 comme sortie

Fonctionnement du registre ORA (ORB)

Ce registre permet d'écrire dans les PORTS de sortie et d'y mémoriser les valeurs. Une écriture de données dans ORA (ou ORB) n'affecte réellement que les bits préalablement sélectionnés comme sorties par le registre DDRA (ou DDRB).

CRA-5	CRA-4	CRA-3	Mis à zéro CA2 Mis à un	
1	0	0	Bas sur la transition négative de la première impulsion E qui suit une écriture du registre données de la périphérie A.	Haut quand l'indicateur d'interruption CRA-7 est mis à un par une transition active du signal CA1.
1	0	1	Bas sur la transision négative de la première impulsion E qui suit une écriture du registre données de la périphérie A.	Haut sur la transition négative de la première impulsion E qui suit une impulsion E qui était arrivée tandis que le circuit était désélecté.
1	1	0	Bas quand CRA-3 est mis à zéro par une écriture du registre de contrôle A.	Toujours bas tant que CRA-3 est à zéro. Passera à l'état haut quand CRA-3 sera mis à un par une écriture du registre de contrôle A.
1	1	1	Toujours haut tant que CRA-3 est à un. Passera à l'état bas quand CRA-3 sera mis à zéro par une écriture du registre de contrôle A.	Haut quand CRA-3 est mis à un par une écriture du registre de contrôle A.

Figure 77
Contrôle de CA2 comme sortie

Le "Gate-Array"

MC 1300 ALS

Le "Gate-Array de Motorola, comme celui de Thomson, est un ensemble de cellules logiques (portes, bascules, compteur, additionneurs...) isolées les unes des autres et cablées à la demande par ordinateur sous contrôle d'un logiciel d'aide, le C.A.D. (Computer Aide Design).

Le choix d'une technologie rapide (ECL + MOSAIC) a permis une grande densité d'intégration et donc une économie.

Dans le MO 5, le gate-array a 3 fonctions principales :
- la gestion vidéo : signaux de suppresion ligne, trame, synchronisation des signaux, ...
- la gestion des adresses multiplexées
- la gestion du light-pen

1 - Pour permettre cette gestion complexe, le gate-array reçoit les signaux suivants :
- R/$\overline{W}$ (51) en provenance du 68Ø9.
- $\overline{CKLP}$ (58) en provenance du light-pen.
- SYCL (57) qui permet la remise à zéro des compteurs lignes et trame, pour une synchronisation par une source vidéo extèrieure (incrustation).
- H16 (59) horloge 16 Mhz destinée aux compteurs lignes et trame ainsi qu'aux divers décodeurs fournissant les signaux d'horloge E et Q, $\overline{E}$, $\overline{POINT}$, $\overline{DATAVALID}$ et $\overline{RAS}$.
Cette horloge H16 provient d'un quadruple multiplexeur 1 parmi 2 (74SL157) commandé par le CB2 du 6821 système, synchronisé sur le front montant du signal d'horloge E. Suivant la valeur de CB2, l'horloge H16 reçoit les signaux en provenance de l'oscillateur à quartz 16 Mhz, ou d'un oscillateur piloté par tension (VCO) interne à l'extension d'incrustation.
- AØ - A13, $\overline{A14}$ et A15 en provenance du 68Ø9.

- $\overline{CSCOL}$, $\overline{CSPT}$, $\overline{CSEXT}$ (54, 55, 56) en provenance d'un multiplexeur monté en décodeur d'adresse (A13, A14, A15) et qui avec le bit FORME généreront les signaux de sélection des RAM couleur, point et extension.
- FORME (5Ø) en provenance du bit PAØ du 6821 système, qui permettra la sélection mémoire point/mémoire couleur.

2 - A l'aide du signal d'horloge H16, le gate-array fabrique :
- H4 horloge interne 4 Mhz.
- H2 horloge interne 2 Mhz.
- H1 horloge interne 1 Mhz.

- *Un compteur ligne interne* incrémenté par H1, sur 6 bits : TLØ, TL1, TL2, TL3, TL4 et TL5.
Ce compteur compte de $ØØ à $3F en 64 μs, durée d'une ligne.

- *Un compteur trame interne* incrémenté par TL2. Ce compteur indique le nombre de groupes de 8 octets. Sachant qu'il y a 8 groupes de 8 octets (64 GPL) par ligne et que le MO 5 balaie 312 lignes, il faut donc que ce compteur puisse compter jusqu'à $8 \times 312 = 2\,496$.
Ce sera donc un compteur 11 bits de T3 à T13.

3 - Les signaux d'entrée et les compteurs fournissent les sorties suivantes :

- $\overline{POINT}$ (6Ø) : signal 8 Mhz permettant la sérialisation des octets de la mémoire point (74LS165) en 1 μs.

- E (41) et $\overline{E}$ (40) : signaux d'horloge 1 Mhz pour la gestion du 68Ø9E, en opposition de phase.

- Q (42) : signal d'horloge 1 Mhz pour le 68Ø9 en quadrature avec E.

- $\overline{RAS}$ (7) : signal permettant l'accès en ligne des mémoires dynamiques.

- $\overline{DATAVALID}$ (44) : signal de validation des données.

- $\overline{CASCOL}$ (65) : signal permettant l'accès colonne de la RAM couleur.

- $\overline{\text{CASPT}}$ (6) : signal permettant l'accès colonne de la RAM point.

- $\overline{\text{CASEXT}}$ (39) : signal permettant l'accès colonne des RAM d'extension.

- MAØ-7 à MA7-14 : adresses multiplexées de gestion des RAM dynamiques.

. Si E = Ø → cycle de rafraîchissement de la mémoire écran. C'est alors l'état des compteurs du gate-array qui est présent sur les sorties d'adresses multiplexées.

. Si E = 1 → ce sont alors les adresses AØ-15 du 68Ø9 qui se retrouvent multiplexées sur les sorties du gate-array. Pendant cette phase, le 68Ø9 peut lire ou écrire en RAM.

- $\overline{\text{SUPLT}}$ (61) : signal de suppression ligne-trame qui permet d'inhiber les signaux RVB par action sur la ROM de codage des couleurs HM7603.

- $\overline{\text{INILT}}$ (62) : signal d'inhibition ligne-trame empêchant d'écrire sur l'écran le contenu des RAM en dehors de la fenêtre (patte 2 des 74LS173) et permettant au contraire la sélection des couleurs du cadre (patte 1, 4, 10, 13 du 74LS126) et vice versa.

- $\overline{\text{SYNLT}}$ (63) : signal de synchronisation ligne-trame.

4 - D'autre part on peut lire l'état des compteurs internes du gate-array sur le bus de données, en l'adressant selon le tableau ci-dessous :

BUS DE DONNÉES

	D7	D6	D5	D4	D3	D2	D1	DØ
$A7E4	T12	T11	T10	T9	T8	T7	T6	T5
$A7E5	T4	T3	TL2	TL1	TLØ	H1	H2	H4
$A7E6	LT3	INILN						
$A7E7	INITN							

INITN = 1 sur la hauteur active de l'écran.
INILN = 1 sur la largeur active de l'écran

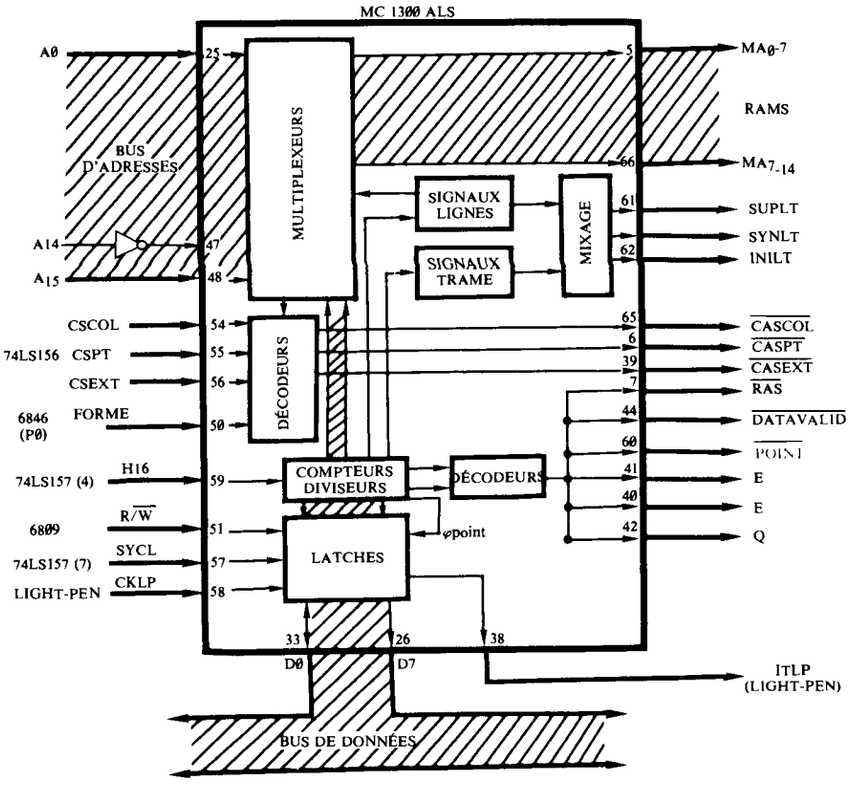


Figure 78
Le "Gate-Array" MC 13ØØ ALS

Liste des figures

Schéma fonctionnel du MO5, 7
Constitution de l'écran, 8
Définition de l'écran, 9
Timing de la gestion d'écran, 9
Représentation d'un GPL, 10
Mémorisation d'un GPL, 12
Occupation mémoire des GPL, 12
Restitution des couleurs, 14
Circuits de gestion des couleurs, 15
Timing de gestion des couleurs, 16
Timing de gestion des couleurs, 17
Schéma général de l'organisation vidéo, 18
Codage du $\overline{CE}$ des 74LS245, 21
Codage de NRAS, 22
Timing des signaux de validation, 23
Timing des signaux de gestion, 24
Signaux de synchronisation ligne et trame, 25
Sélection vidéo normale/incrustée, 27
Schéma partiel du crayon optique, 28
Gestion du crayon optique, 29
Matrice clavier, 31
Gestion du clavier, 32
Les décodeurs d'adresse, 33
Sélection des PIA, 34
Bloc d'alimentation, 34
Régulation de l'alimention, 35
Les liaisons "SON", 39
La prise magnétophone, 40
Commande du moteur du LEP, 40
Prise PERITEL et connecteur B3, 41

Nomenclature des signaux vidéo, 42
Nomenclature des signaux vidéo (suite), 43
Nomenclature des signaux vidéo (suite), 44
Nomenclature des signaux vidéo (suite), 45
Les niveaux de tension des signaux vidéo, 46
La prise extension interface parallèle CENTRONICS, 47
Connecteur manettes de jeux, 48
Le convertisseur numérique/analogique, 49
Code BASIC d'une manette jeu, 50
BIT 5 = "1" et autres BIT à "0", 51
Signal réel, 52
Signal échantillonné, 52
Signal échantillonné bloqué, 53
Organigramme de synthèse, 54
Programme de synthèse d'un son sinusoïdal, 55
Routine d'envoi des échantillons dans le PORTB du PIA, 57
Occupation mémoire d'un pointeur, 66
Boîtier du 74LS74, 78
Boîtier du 74LS126, 79
Boîtier du 74LS151, 80
Boîtier 74LS156, 82
Boîtier du 74LS157, 83
Diagramme logique, 84
Boîtier des 74LS165, 85
Modes de fonctionnement, 85
Diagramme logique, 86
Boîtier du 74LS173, 87
Symbolisation logique, 88
Diagramme logique, 88
Boîtier du 74LS221, 89
Boîtier du 74LS245, 90
Boîtier du TM5 4416, 92
Diagramme fonctionnel, 93
Timing du mode ECRITURE, 94
Timing du mode LECTURE, 95
Timing du mode rafraîchissement, 96
Boîtier de la 27128, 97
Diagramme logique, 98
Boîtier de la HM 76Ø3, 99
Diagramme fonctionnel, 100
Schéma fonctionnel du 68Ø9E, 102
Diagramme des temps des interruptions NMI, FIRQ et IRQ, 105
Tableau d'adressage du 6821, 106

Diagramme fonctionnel du PIA 6821, 107
Format des mats de contrôle, 108
Contrôle des entrées d'interruption CA1 et CB1, 109
Contrôle de CA2, CB2 comme entrée d'interruption, 109
Contrôle de CB2 comme sortie, 110
Contrôle de CA2 comme sortie, 111
Le "Gate-Array" MC 13ØØ ALS, 115